

8ビットCPU(KUE-CHIP2)の設計 FPGAを用いた実現に関する補助資料

●FPGAでの実現手順を示すデモ

設計したKUE-CHIP2をFPGAで実現するための器材は、残念ながら1セットしかありません。時間的な制約もあり、すべての方が自分の設計したKUE-CHIP2をFPGAで実現することは困難です。設計はまだ終わっていないがFPGAでの実現に興味があるという方のために、FPGAでの実現手順を示すデモを行う予定です。本演習中いつでも、リクエストに応じて行いたいと思います。講師まで申しつけてください。

●設計データの移動

設計データをFPGAにマッピングするために、Windows95上で動作するMAX+plusIIというプログラムを使います。そのため、Sunワークステーションで作成したEDIF形式のファイル(kuechip2.edf)を、Windows95側にコピーする必要があります。Sunワークステーション側に、mdir、mcopyというコマンドがありますので、これらを用いてMS-DOS形式のフロッピーディスクにファイルをコピーして、Windows95側に持って行ってください。

●テキストの訂正

テキスト45ページの「図5:MAX+plusII Graphic Editorでの外部端子の接続」には誤りがありました。お詫びして訂正いたします。以下に示す図が正しいものです。なお、図中、出力端子mem_weの前段にLCELLが繋がれているのは、外部メモリへの信号のタイミングを調節するためです。今回の設計では、mem_weがアクティブになる前にアドレスバスABの値が安定する保証がありませんでしたのでこのようにしました。本来ならば、そのようなことを保証をするような設計にすべきでした。

図5:MAX+plusII Graphic Editorでの外部端子の接続

