

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4512028号  
(P4512028)

(45) 発行日 平成22年7月28日 (2010. 7. 28)

(24) 登録日 平成22年5月14日 (2010. 5. 14)

(51) Int. Cl.		F I			
HO4R	3/00	(2006.01)	HO4R	3/00	320
HO4B	7/26	(2006.01)	HO4B	7/26	
HO4R	1/40	(2006.01)	HO4R	1/40	320

請求項の数 11 (全 18 頁)

(21) 出願番号	特願2005-342578 (P2005-342578)	(73) 特許権者	000004226
(22) 出願日	平成17年11月28日 (2005. 11. 28)		日本電信電話株式会社
(65) 公開番号	特開2007-150743 (P2007-150743A)		東京都千代田区大手町二丁目3番1号
(43) 公開日	平成19年6月14日 (2007. 6. 14)	(74) 代理人	100121706
審査請求日	平成20年1月28日 (2008. 1. 28)		弁理士 中尾 直樹
		(74) 代理人	100066153
			弁理士 草野 卓
		(74) 代理人	100128705
			弁理士 中村 幸雄
		(72) 発明者	守谷 健弘
			東京都千代田区大手町二丁目3番1号 日
			本電信電話株式会社内
		(72) 発明者	原田 登
			東京都千代田区大手町二丁目3番1号 日
			本電信電話株式会社内

最終頁に続く

(54) 【発明の名称】 送話装置

(57) 【特許請求の範囲】

【請求項1】

オーバーサンプル低振幅分解能符号化に基づいたデジタル信号を出力する複数のマイクロホンと、

遅延処理と利得処理の制御値を持つ遅延・利得設定部と、上記デジタル信号が入力され、そのデジタル信号の少なくとも1つに対して上記制御値に基づいた遅延処理や利得処理による指向性制御を行う1bit信号処理部と、上記1bit信号処理部が出力するデジタル信号を加算して1個のアナログ電圧値である加算信号に変換する加算処理部と、上記加算信号をデジタル信号に変換するA/D変換処理部とを含むデジタル処理部と、

を備えたことを特徴とする送話装置。

10

【請求項2】

オーバーサンプル低振幅分解能符号化に基づいた複数ビットのデジタル信号を出力する複数のマイクロホンと、

遅延処理と利得処理の制御値を持つ遅延・利得設定部と、

上記複数ビットの各重み毎に上記制御値に基づいた遅延処理を行う可変遅延部と利得処理を行う可変利得部とからなるch信号処理部と、そのch信号処理部の出力信号を選択加算する加算処理部と、その加算処理部の出力信号をデジタル信号に変換するA/D変換処理部と、

を備えたことを特徴とする送話装置。

【請求項3】

20

請求項 1 に記載の送話装置において、  
上記デジタル処理部は、その遅延量や利得量やデジタル信号の選択が予め設定されている処理部であることを特徴とする送話装置。

【請求項 4】

請求項 1 に記載の送話装置において、  
上記デジタル処理部に対し、その遅延量や利得量やデジタル信号の選択を設定する遅延・利得設定部を備えることを特徴とする送話装置。

【請求項 5】

請求項 1 に記載の送話装置において、  
上記デジタル処理部の出力信号や入力信号に基づき、遅延量や利得量やデジタル信号の選択を制御して上記複数のマイクロホンの総合收音指向特性を制御する指向性制御手段を備えることを特徴とする送話装置。

10

【請求項 6】

請求項 1 と 3 乃至 5 に記載した何れかの送話装置において、  
上記デジタル処理部が、上記デジタル信号のビット毎に遅延処理とパルス幅可変による利得処理を行う1ビット信号処理部と、上記1ビット信号処理部の出力信号を加算する加算処理部を具備することを特徴とする送話装置。

【請求項 7】

請求項 1 と 3 乃至 5 に記載した何れかの送話装置において、  
上記デジタル処理部が、上記デジタル信号のビット毎に遅延処理とパルス振幅可変による利得処理を行う1ビット信号処理部と、上記1ビット信号処理部の出力信号を加算する加算処理部を具備することを特徴とする送話装置。

20

【請求項 8】

請求項 1 と 3 乃至 5 に記載した何れかの送話装置において、  
上記デジタル処理部が、  
上記デジタル信号のビット毎に上記制御値に基づいて遅延処理を行う可変遅延器と、上記可変遅延器の出力するデジタル信号を正極パルスと負極パルスに分配する分配器と、上記正極パルスと負極パルスを入力として上記制御値に基づいて上記正極パルスと負極パルスの発生頻度可変による利得処理を行う頻度可変器と、を含む1ビット信号処理部と

30

上記1ビット信号処理部が出力する上記正極パルスと負極パルスを一定時間の間計数してPCM信号を出力するU/Dカウンタで構成されるパルスカウンター平滑部と、を具備することを特徴とする送話装置。

【請求項 9】

請求項 1 と 3 乃至 8 に記載した何れかの送話装置において、  
上記複数のデジタルマイクロホンのデジタル出力信号が一組の共通信号線に時分割多重化されて伝送され、上記デジタル信号処理部に入力されることを特徴とする送話装置。

【請求項 10】

請求項 1 と 3 乃至 9 に記載した何れかの送話装置において、  
上記デジタル処理部の利得処理部は、上記デジタル信号のビット毎に、そのビットの重みに応じて上記利得処理の制御量が変更されるものであることを特徴とする送話装置。

40

【請求項 11】

請求項 1 乃至 7 及び請求項 9 及び 10 に記載した何れかの送話装置において、  
上記加算信号が音響再生器に入力されることを特徴とする送話装置。

【発明の詳細な説明】

【技術分野】

【0001】

複数のマイクロホンで音を收音して送話音響信号を処理する例えば、携帯電話等に用い

50

られる送話装置に関する。

【背景技術】

【0002】

携帯電話に代表される送話装置は、高機能化が飛躍的に進み、従来では考えられなかった様な使い方をされるようになって来ている。例えば、テレビ電話機能などは、送話装置を口元から離して画像を見ながら会話する通話形態を要求する。そのような通話スタイルに対応できるようにする目的で、例えば図19（非特許文献1）に示すように携帯電話180にマイクロホンを3個設け、妨害音を抑圧する技術が検討されている。非特許文献1は、3個のマイクロホン出力の結合によって形成される空間フィルタと、スペクトル上の同一周波数成分の大きさを比較し、条件を満たすスペクトル成分を選択的に選び出すこと

10

【0003】

このように複数のマイクロホンを用いた指向性制御は、携帯機器のみならず固定の送話装置についても数多く知られている。いずれもマイクロホンからのアナログ信号をデジタル信号に変換（Analog to Digital Conversion、以降A/D変換と称する）して音声処理をCPU（ICチップ）で行うものである。

【非特許文献1】空間フィルタと帯域選択を用いた音源分離方式の携帯電話への適応（日本音響学会秋季研究発表会2005.9.27）

【発明の開示】

20

【発明が解決しようとする課題】

【0004】

しかしながら、従来、マイクロホンからのアナログ信号は、そのままアナログ信号として音声処理が行われるCPUに伝送されていた。携帯電話等は、各種の機能が高密度実装されている関係から、電磁ノイズの塊である。その中でも無線機能全体を制御するシステムクロック周波数や表示パネルの制御用信号の周波数（コモン、セグメント）等の各種の周波数の信号が存在し、これら各種の周波数信号は高密度実装され、しかも同時に電流が流れる場合がかなりあり、その電源電流も大となる。その周波数の雑音及び電源電流雑音が、部品配置の都合から必然的に長くならざる負えない音声系（マイクロホン及びレシーバー）の伝送線に影響を与えることが多かった。しかも、この音声系に対する影響は使用者にノイズとして直ぐ認識されてしまうため、端末設計上の一つの課題になっている。

30

【0005】

マイクロホン信号の雑音余裕度を上げる目的で、マイクロホンの傍でA/D変換を行って、デジタル信号に変換してCPUに伝送する方法も考えられるが、マイクロホン信号がデジタル信号に変換された途端に、例えば8bit～16bit等の信号に変換されるため、配線数が増えてしまう課題があった。また、このように各種機能が高密度実装された場合のみならず、例えば比較的広い空間に固定配置された複数のマイクロホンを用いる送話装置においても外部雑音の影響と、配線数の増加の問題があった。

この発明はこのような点に鑑みてなされたものであり、A/D変換をオーバーサンプル低振幅符号化で行うことで、配線数を増やすことなく雑音余裕度を向上させ、その上で指向性制御を行えるようにした送話装置を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

この発明の送話装置は、オーバーサンプル低振幅分解能符号化に基づいたデジタル信号を出力する複数のマイクロホンと、遅延処理と利得処理の制御値を持つ遅延・利得設定部と、上記デジタル信号が入力され、そのデジタル信号の少なくとも1つに対して上記制御値に基づいた遅延処理や利得処理による指向性制御を行う1bit信号処理部と、上記1bit信号処理部が出力するデジタル信号を加算して1個のアナログ電圧値である加算信号に変換する加算処理部と、上記加算信号をデジタル信号に変換するA/D変換処理部とを含むデジタル処理部と、を備える。

50

## 【発明の効果】

## 【0007】

この発明の送話装置によれば、マイクロホンのアナログ出力信号をオーバーサンプル低振幅符号化によってデジタル化された少ない信号線で伝送することが出来るので、少ない配線数で雑音余裕度を向上することが出来る。また、低振幅符号化デジタル信号は、遅延制御及び利得制御が容易なため、簡単な構成で周囲雑音の抑圧も可能であり、通話品質を向上させることが出来る。

また、この発明のデジタル処理部の出力を、A/D変換器を備えた既製の音声処理ICチップのA/D変換入力に入力するだけの、極めて簡単且つコストの安い方法で、周囲雑音の抑圧が可能になる。

10

## 【発明を実施するための最良の形態】

## 【0008】

以下、この発明の実施の形態を図面を参照して説明する。なお、以降の説明において、同一のものには同一の参照符号を付け、説明は繰り返さない。

## [この発明の基本構成]

図1にこの発明の送話装置の外観の一例を示す。図1は例えば折りたたみ式の携帯電話であり、開いた状態の正面を示している。上ケース10側には、表示パネル12とレシーバー14が配置されている。下ケース16には、キーボード18とカーソルキー19と、下ケース16の上ケース側の短辺の両端にマイクロホンAとB、反対側の端の中央部分にマイクロホンCが配置されている。各マイクロホンA, B, Cから信号線が導出され、これら信号線にはマイクロホン出力がオーバーサンプル低振幅符号化されたデジタル信号として出力されている。このように音声系のデバイスは、ケース(筐体)の端に配置されるので、そこからの配線も長くなる。

20

## 【0009】

図2に各マイクロホンA, B, Cの出力するアナログ信号をマイクロホンの傍でデジタル信号化する1bit A/D変換器20(以下は省略する)の一例を示し、その動作を簡単に説明する。1bit A/D変換器20は、減算器Jとアナログ積分器Kと量子化器Lとによって構成される。減算器Jでアナログ入力と量子化器Lの出力とを減算し、アナログ入力が増加方向に変化している場合には、量子化器Lは正極性のパルスを出力する。アナログ入力が増加方向に変化すると量子化器Lは負極性のパルスを出力する。アナログ入力値が変化しない場合は、量子化器Lは正と負のパルスを交互に出力する。サンプリング周波数(パルス間隔)を2~3MHz程度にすることによりアナログ入力信号の波形を忠実にA/D変換することが出来る。

30

## 【0010】

図3にこの発明の送話装置の機能構成例を示す。図2に示したオーバーサンプル1bit A/D変換器によって、パルス列にデジタル化された各マイクロホンA, B, Cの1bit符号化信号A, B, C(1bitデジタル信号)は、デジタル処理部30を構成する1bit信号処理部31に入力される。

マイクロホンからの1bit符号化信号A, B, Cのそれぞれについて、指向性制御を行うために、1bit信号処理部31は、各1bit符号化信号A, B, Cに遅延加算と重み付け(重み付けとは利得を与えることであり、以下利得と称する)加算を、遅延・利得設定部32からの設定値に基づいて行う。

40

## 【0011】

1bit信号処理部31において遅延と利得が加算された各マイクロホンからのパルス列は、加算デジタル処理部33の加算処理部33aにおいて加算され、1個のアナログ電圧値に変換される。その1個のアナログ電圧値は、音声処理IC34(上記したCPUに相当)に内蔵されたA/D変換処理部32bにおいて例えば振幅16bit, 8KHzのピーシーエム(Pulse Code Modulation以下PCMと略す)信号に変換される。

PCM信号に変換された音声信号は、音声符号化伝送処理部35において、例えば圧縮、認識等の処理が行われる。この音声処理ICは、例えば携帯電話で在ればベースバンド

50

ICに当たるものである。

【0012】

マイクロホンからの1bit符号化信号A, B, Cは、遅延・利得設定部32からの制御信号によってオン/オフが切り替えられる選択スイッチ36を介して、1bit信号処理部31に入力するようにしてもよい。例えば、選択スイッチ36によって、1bit符号化信号Aを切り離せば、マイクロホンA側から来る音源の音に対する感度を下げることが出来る。

もちろん、選択スイッチ36によって、マイクロホンからの信号を遮断するのは、極端な指向性制御の方法であり、通常は、1bit信号処理部31において、各1bit符号化信号A, B, Cに対して、遅延を付加する制御と利得を付加する処理を行って指向性制御を行う。

10

【0013】

1bit信号処理部31に入力される各マイクロホンA, B, Cからの1bit符号化信号A, B, Cに対する、遅延量と利得量が同一だとして、携帯電話の話者が下ケース16の正面から話をした場合、1bit符号化信号A, B, Cは同一タイミング同一振幅の信号となる。

例えば、マイクロホンAからの1bit符号化信号Aを、マイクロホンBからの1bit符号化信号Bよりも遅延量を増やすと、ある位置から携帯電話の下ケース16に到達した音は、マイクロホンA側で遅れて処理される。この場合、上記したように下ケース16の正面方向から話者が話したとしても、その遅れ時間に相当する分だけ音源がマイクロホンB側から発生しているように見える。更に1bit符号化信号Bに利得を付加すれば、その傾向をより強調することが出来る。これを逆に見れば、携帯電話のマイクロホンの指向性が、マイクロホンB側に向いていることを意味する。

20

【0014】

この原理を利用することで、図1に示した実施例においては、下ケース16の短辺の両端にマイクロホンが配置されているので、各マイクロホンからの1bit符号化信号A, B, Cのそれぞれについて、遅延付加制御、利得付加制御を行うことで、マイクロホンA, B, Cが持つ総合收音指向特性を360°回転させることが可能である。

この指向性を制御する制御値は、遅延・利得設定部32に設定されている。その制御値を予め、指向性制御手段32aに持たせておいても良い。例えば、カーソルキー19側を時計の文字板の12時位置、マイクロホンCの位置を6時位置とした場合に、その制御値を9時方向、或いは3時方向などに設定することが容易にできる。

30

【0015】

または、デジタル処理部30の出力信号を帰還させて、適応制御部37においてその制御量を適応的に発生させても良い。或いは、各マイクロホンからの信号を直接評価して制御量を発生させ、その制御量で1bit信号処理部31を制御させても良い。この制御方法については、その例を非特許文献1にも示したように色々な方法が検討され且つ公知であるので、ここでの説明は省略する。

この発明の送話装置では、各マイクロホンの出力信号をオーバーサンプル低振幅符号化でデジタル化しているため、その制御を簡単に行うことが可能である。以降にその制御方法の実施例を示し動作を説明する。

40

なお、加算デジタル処理部33を構成するA/D変換処理部33bを音声処理IC34に内蔵されたA/D変換器を用いる形で説明を行ったが、この発明は必ずしもこの構成に限定されない。A/D変換器を内蔵しない音声処理IC、若しくは内蔵されたA/D変換器では要求された精度が確保出来ないような音声処理ICを用いてこの発明の送話装置を実現する場合には、図3に加算処理部33aとA/D変換処理部33bを破線で括って示しているように、加算デジタル処理部33を音声処理IC34の外部に設けても良い。

【0016】

内蔵されたA/D変換器を用いるのか、或いは外部に設けるのかについては、そのハードウェア条件や要求仕様に基づいて決められる設計事項である。一般的に内蔵されたA/

50

D変換器を用いた方がこの発明の送話装置を安価に実現出来る。

また、図3に示す加算処理部33aの出力信号は、オーバーサンプリングされた例えば指向性制御された音響信号のアナログ信号であるので、その信号を破線で示すように音響再生器38に直接接続(必要に応じて増幅器を介して)することで音響再生器を実現することも可能である。

【0017】

[第1の実施の形態]

[実施例1]

図4にこの発明の1bit信号処理装置30の実施例1を示す。図4は2つの1bit符号化信号AとBに対して遅延制御、利得制御する実施例を示している。パルス列のデジタル信号である1bit符号化信号Aは、1チャンネル1bit信号処理部(以降1Ch信号処理部と略す)40aに、1bit符号化信号Aは2Ch信号処理部40bにそれぞれ入力される。それぞれのCh信号処理部40a, 40bは、可変遅延器41a, 41bと可変幅3値変換器42a, 42bの直列接続で構成される。可変遅延器41a, 41bが1bit符号化信号に付加する遅延量は、図3に示した遅延・利得設定部32からの遅延制御信号30da, 30dbによって、変化する。

10

【0018】

また、可変幅3値変換器42a, 42bが可変遅延器41a, 41bの出力信号に付加する利得は、利得制御信号30ga, 30gbによって変化する。Ch信号処理部40a, 40bの出力信号は、アナログ加算平滑器43によって1つの電圧値に変換され、A/D変換処理部33bに伝達される。

20

可変遅延器41a, 41bについては、入力されたデジタル信号をフリップフロップ(Flip Flop以下FFと称する)や、FF等を直列に接続して構成するシフトレジスタ等で単純に遅らせるものであり、従来の遅延器と変わらないものである。したがって、説明は省略する。

【0019】

この発明においては、マイクロホンの出力信号をオーバーサンプル低振幅符号化でデジタル化しているので利得制御の方法が、従来技術に対して簡単に構成できる。図4の実施例1では、マイクロホンの出力するアナログ出力信号が増加方向に変化しているときに、発生される正極性パルスと、減少方向に変化しているときに発生される負極性パルスのパルス幅を制御量に応じて変えるようにしたものである。

30

利得を増やしたい場合は、そのパルス幅を広く、逆に利得を減らしたい場合は、そのパルス幅を狭くする。その結果、アナログ加算平滑器43の出力する1つの電圧値の高低を制御することが可能になる。

【0020】

このように利得制御を極めて簡単な構成で実現できる。図5に図4に示した実施例1をより具体的に示した実施例を示し、その動作を説明する。1bit符号化信号AとBは、それぞれ1Ch, 2Ch信号処理部40a, 40bに入力されている。2Ch信号処理部40bは、40aの構成と全く同じであるので、詳しい構成は省略して示している。説明も1Ch側のみにて行う。

40

可変遅延器41aにおいて遅延が付加された正極と負極のパルス列状のデジタル信号は、可変幅3値変換器40aを構成する±分配器50に入力される。±分配器50は、例えばオペレーショナルアンプ(Operational Amplifiers、以下OPと略す)2個で構成され、正極性パルスと負極性パルスを分配しそれぞれを正極性パルスに変換する。

【0021】

ここから図5の動作タイムチャートである図6も参照して動作を説明する。1bit符号化信号Aに遅延が付加された可変遅延器41aの出力信号は、例えば図6に示すように正と負のパルスから成るパルス列である。正極性パルスは、OP1でそのまま正極パルスとして、Delay型FF(以下DFFと称す)51aのクロック端子Cに接続される。負極性パルスは、OP2によって、反転されてDFF51bのクロック端子Cに接続される。

50

D F F 5 1 a の D 端子は正電源の電位に接続されているので、正極パルス 6 1 の立下りのタイミングで D F F 5 1 a の Q 端子が論理レベル 1 (正電源の電圧レベル、以降 “ 1 ” と表記する) になる。D F F 5 1 a の Q 端子が “ 1 ” の状態で、次の正極パルス 6 2 が来ると、O P 1 の出力端と D F F 5 1 a の Q 端子との論理積を取る A N D ゲート 5 2 a にパルス 5 2 a<sub>1</sub> が発生する。

【 0 0 2 2 】

A N D ゲート 5 2 a の出力端は、R - S ラッチのセット (Set、以下 S と略す) 端子に接続されているので、パルス 5 2 a<sub>1</sub> が発生すると直ちに R - S ラッチの Q 出力は、“ 1 ” になる。R - S ラッチの Q 出力が “ 1 ” にセットされると、正極パルスのパルス幅を決めるプリセットカウンタ 5 6 a のクロック端子 C に接続されたゲート 5 5 a が開き、周波数信号 f 1 でカウントを開始する。周波数信号 f 1 は、例えば音声処理 I C 3 4 のアウトポート端子から供給される周波数信号であり、1 bit 符号化信号 A , B よりも速い周波数信号である。その具体的な値は、Ch 信号処理部が行う利得制御の分解能によって決定されるものである。

10

【 0 0 2 3 】

周波数信号 f 1 でプリセットカウンタ 5 6 a がカウントを開始する直前に、1 ショットパルス発生器 5 7 a がパルス 5 2 a<sub>1</sub> の立ち上がりの瞬間に時間幅の狭いプリセットパルス 5 8 a を発生させる。そのプリセットパルス 5 8 a が発生すると、プリセット回路 5 9 a が、遅延・利得設定部 3 2 からの利得制御信号 3 0 g a をプリセットカウンタ 5 6 a にセットする。

20

図 5 の例では、プリセットカウンタ 5 6 a が例えば 8 進のバイナリーカウンタであり、3 bit の利得制御信号 3 0 g a がプリセットパルス 5 8 a によってセットされる。このような動作は、1 ショットパルス発生器 5 7 a が発生するプリセットパルスのパルス幅を決める周波数信号 f 2 の周波数を、周波数信号 f 1 よりも高くしておくことで実現できる。周波数信号 f 2 は周波数信号 f 1 と同様に例えば音声処理 I C 3 4 のアウトポート端子から供給される周波数信号である。

【 0 0 2 4 】

いま例えば利得制御信号 3 0 g a が 2 進数の 8 で在ったとすると、プリセットカウンタ 5 6 a は、周波数信号 f 1 を 8 個数えてキャリー信号を発生する。プリセットカウンタ 5 6 a のキャリー信号を発生する Q 端子は、R - S ラッチのリセット (Reset、以下 R と略す) 端子に接続されているので、パルス 5 2 a<sub>1</sub> の立ち上がりのタイミングで “ 1 ” になった R - S ラッチ 5 4 a の Q 端子の出力信号は、プリセットカウンタ 5 6 a のキャリー信号で “ 0 ” (論理レベル 0、電源の負電圧) に変化する。

30

利得制御信号 3 0 g a の値によって、そのパルス幅を変える R - S ラッチ 5 4 a の Q 出力端子は、O P 3 の非反転入力 + に接続される。O P 3 は、反転入力端子 - が正電源と負電源の中間電位である接地電位に接続されているので、R - S ラッチ 5 4 a の Q 出力端子に生成されたパルス幅の正極性パルスを加算処理部 3 3 a に出力する。

【 0 0 2 5 】

O P 3 が、加算処理部 3 3 a に正極性パルスを出力するのは、図 6 に示すように ± 分配器 5 0 の出力にパルス 6 1 , 6 2 と連続して発生した場合だけである。図 6 に示すようにパルス 6 2 の次に、例えば O P 2 の出力に負極パルスが発生すると、D F F 5 1 a の Q 端子と O P 2 の出力端子との論理積を取る A N D ゲート 5 3 a が、直ちに D F F 5 1 a をリセットする。したがって、プリセットカウンタ 5 6 a でリセットされた R - S ラッチ 5 4 a の Q 端子は、次の正極パルス 6 4 が来ても “ 0 ” のままである。

40

【 0 0 2 6 】

これは、負極パルスの場合も同様であり、負極パルス 6 3 の立ち上がりのタイミングで “ 1 ” と成った D F F 5 1 b の Q 端子は、負極パルス 6 3 の次に来るパルスが正極パルス 6 4 であるので、D F F 5 1 b の Q 端子と O P 1 の出力端子との論理積を取る A N D ゲート 5 3 a が、直ちに D F F 5 1 a をリセットするからである。

正極パルス 6 4 でリセットされた D F F 5 1 b の Q 端子は、次の負極パルス 6 5 の立下り

50

のタイミングで“ 1 ”になる。D F F 5 1 bのQ端子が“ 1 ”の状態、引き続き負極パルス66が発生すると、O P 2の出力端とD F F 5 1 bのQ端子との論理積を取るA N Dゲート5 2 bにパルス5 2 b<sub>1</sub>が発生する。

【 0 0 2 7 】

パルス5 2 b<sub>1</sub>が発生するとR-Sラッチ5 4 bのQ端子は“ 1 ”にセットされる。この“ 1 ”にセットされたパルス幅が、遅延・利得設定部3 2からの利得制御信号3 0 g aの値によって変化するのは、上記した動作と全く同じである。そこで、負極パルス側の構成の参照符号をbとして表し、番号が同一なものは同じものとして説明を省略する。例えば、正極パルス側のプリセットカウンタ5 6 aに対して5 6 bと表記する。

パルス幅が負極パルス利得制御信号3 0 g aによって可変された負極パルスは、O P 4の反転入力端子-に入力されるので、R-Sラッチ5 4 bのQ端子に生成されるパルス幅と同じ幅で接地電位よりも低い負電圧の負極性パルスを加算処理部3 3 aに出力する。

【 0 0 2 8 】

加算処理部3 3 aは、O P 5を用いた周知の加算回路であり、その出力電圧V oは $V o = - ( V p / R 1 + V m / R 2 ) R f$ で表せる。R fはO P 5の反転入力端子-と出力端子との間に接続される帰還抵抗である。例えば、O P 3の出力端子とO P 5の反転入力端子の間に接続されるR 1と、O P 4の出力端子とO P 5の反転入力端子の間に接続されるR 2とを同じ値にしておくことで、遅延・利得設定部3 2からの利得制御信号3 0 g aによって正極、負極パルスに重み付け(利得量増加)した結果を、O P 5の出力端と接地電位の間に接続された平滑コンデンサ6 0に充電することが出来る。

【 0 0 2 9 】

以上述べたように、正極パルスが連続すると正極性パルスV pを、正極パルスと負極パルスが交互に発生すると何も出力せず、負極パルスが連続すると負極性パルスV mを平滑コンデンサ5 9に供給することが出来る。したがって、遅延・利得設定部3 2からの利得制御信号3 0 g aによって利得制御を行った結果の電圧を平滑コンデンサ6 0に充電することが出来る。

1bit符号化信号B側の説明は、全く同じ動作なので省略するが、図5に示すように2Ch信号処理部4 0 bの正極性パルスV p2と負極製パルスV m2とを、それぞれ抵抗R 3とR 4を介してO P 5の反転入力端子-に接続することで、異なるマイクロホンBの出力信号を遅延・利得制御を行った結果を、1個の平滑コンデンサ6 0に充電することが出来る。

【 0 0 3 0 】

この平滑コンデンサ6 0の電圧をA/D変換器3 3 bで例えば1 6bit, 8 K H zのP C M信号に変換して音声符号化伝送処理部3 5で音声処理を行う。

このようにこの発明による送話装置によれば、比較的簡単な構成で複数のマイクロホンの指向性制御が可能になる。更に、マイクロホンの出力は、マイクロホンの傍でオーバースンプル低振幅符号化によってデジタル化されてから伝送されるので、雑音余裕度を向上させることも出来る。

【 0 0 3 1 】

[ 実施例 2 ]

図7にこの発明の1bit信号処理装置3 0の他の実施例である実施例2を示す。図7に示す実施例2は、図4に示した実施例1に対して利得制御を振幅可変で行うようにしたものである。実施例1に対して利得制御が、可変振幅変換器7 1 a, 7 1 bで構成されている点のみが異なる。他の構成は全く同一である。

図8に振幅可変による利得制御の方法の一例を示し、その動作を説明する。正極パルスを発生するA N Dゲート5 2 aがO P 3の非反転入力端子+に、負極パルスを発生するA N Dゲート5 2 bの出力端子がO P 4の反転入力端子-に接続されている。

実施例2は、振幅可変によって利得制御を行うので、実施例1に在ったパルス幅を可変するための構成は無い。その代わりにO P 3及びO P 4の出力とO P 5の反転入力端子との間に新たな構成が付加されている。

【 0 0 3 2 】

10

20

30

40

50

実施例 2 における OP 3 及び OP 4 の出力電圧レベルは、例えば正負両電源の絶対値の数分の 1 以下に設定されている。正極及び負極パルスのパルス幅は、1 bit 符号化信号 A, B と変わらない値である。その電源電圧の数分の 1 以下に抑圧された正極性パルス  $V_p$  は、アナログスイッチ 80 a、81 a、82 a、83 a の一方の入力端子に接続されている。アナログスイッチ 80 a ~ 83 a は、コントロール端子 C が “ 1 ” で他方の出力端子と上記入力端子との間が低抵抗で接続され、コントロール端子 C が “ 0 ” で開放、すなわち入出力間の抵抗が無限大となる素子である。

そのアナログスイッチ 80 a の他方の出力端子と OP 5 の非反転入力端子 - との間には、抵抗 R 84 a、アナログスイッチ 81 a との間には抵抗 R 85 a、アナログスイッチ 82 a との間には抵抗 R 86 a、アナログスイッチ 83 a との間には抵抗 R 87 a、が接続されている。

10

#### 【 0 0 3 3 】

各アナログスイッチ 80 a ~ 83 a のコントロール端子 C には、遅延・利得設定部 32 からの制御信号である例えば 2 bit の利得制御信号 30 g a を 4 つのコントロール信号に変換するデコーダ 88 のデコードされた信号が接続されている。

2 bit の利得制御信号 30 g a が 2 進数の  $0_B$  ( B は Binary ) のとき、デコーダ 88 の D0 出力端子が “ 1 ” になる。  $1_B$  のときは D1 が、  $2_B$  のときは D2 が、  $3_B$  のときは D3 が “ 1 ” になる。

デコーダ 88 の D0 端子がアナログスイッチ 80 a のコントロール端子 C に、 D1 がアナログスイッチ 81 a のコントロール端子 C に、 D2 が 82 a に、 D3 が 83 a のコントロール端子 C に接続されている。

20

#### 【 0 0 3 4 】

この状態で、抵抗 R 84 a を帰還抵抗  $R_f$  と同じ値とし、抵抗 R 85 a を  $R_f$  の例えば  $1/2$ 、抵抗 R 86 a を  $R_f$  の  $1/4$ 、抵抗 R 87 a を  $R_f$  の  $1/8$  の大きさに設定しておく。そうすると、上記したように加算回路からなる加算処理部 33 a の出力電圧  $V_o$  は、 $V_o = - ( V_p / R_1 + V_m / R_2 ) R_f$  の関係で表せるので、2 bit の利得制御信号 30 g a が  $0_B$  のとき、平滑コンデンサ 59 を充電する OP 5 の出力電圧  $V_o$  は、正極性パルス  $V_p$  の 1 倍、利得制御信号 30 g a が  $1_B$  のとき 2 倍、利得制御信号 30 g a が  $2_B$  のとき 4 倍、利得制御信号 30 g a が  $3_B$  のとき 4 倍、と振幅を可変することが出来る。

負極パルス側も全く同じ構成なので参照符号を b で表記して、同じものは同じ番号とすることで説明を省略する。このようにこの発明の送話装置によれば、極めて簡単な構成でパルス振幅可変による利得制御も行うことが出来る。

30

#### 【 0 0 3 5 】

##### [ 実施例 3 ]

図 9 にこの発明の 1 bit 信号処理装置 30 の他の実施例である実施例 3 を示す。図 9 に示す実施例 3 は、図 4 に示した実施例 1 に対して利得制御をパルスカウンターで行うようにしたものである。

今までの説明でも明らかなように、1 bit 符号化信号 A, B はパルス列によるデジタル信号であるので、一定時間の間、そのパルス列を計数することでも、マイクロホンの出力信号を PCM 信号に変換することが可能である。

40

実施例 1, 2 では OP を用いたアナログ回路を一部用いたが、そうすることでこの発明を全てデジタル回路で構成することも可能である。実施例 2 に対して利得制御が、可変頻度変換器 91 a, 91 b に変更された点と、実施例 1, 2 のアナログ加算平滑器 43 がパルスカウンター平滑器 92 に置き換えられている点が異なる。

#### 【 0 0 3 6 】

その他は同じであり、可変遅延器 41 a, 41 b で遅延が付加されたパルス信号 1 個に対して、発生する正極性パルス及び負極性パルスの数を遅延・利得設定部 32 からの利得制御信号によって変化させ、そのパルスをアップダウンカウンタであるパルスカウンター平滑器 92 で一定時間計数するものである。

パルスカウンター平滑器 92 は、一定時間の間、1 bit 符号化信号のパルス列を数える

50

ことで例えば16bitの振幅のデジタル信号に変換する。つまり、その出力は16bitのPCM信号に変換される。そのPCM信号が帰還線92aによって帰還されているのは、単調増加若しくは減少させると、カウント値にバイアスが掛かりカウント範囲が大きくなり過ぎるのを防止するためのものである。例えば、単調増加量の例えば10分の1のカウント値を差し引くような、一定の割合でカウント値を操作する動作を行わせる。

【0037】

図9の実施例3をより具体的にした機能構成例を図10に示して動作を説明する。デジタル処理部30には、マイクロホンAからの1bit符号化信号Aと、マイクロホンBからの1bit符号化信号Bとが入力される。以降、1bit符号化信号B側の説明は、1bit符号化信号A側と全く同一であるので省略する。

1bit符号化信号Aは、可変遅延器41aにおいて、遅延・利得設定部32からの遅延制御信号30daに基づいて遅延が付加され、±分配器50aに伝達される。±分配器50aは、図5に示したOP1とOP2とで構成される±分配器50と全く同じ構成であり、1bit符号化信号Aを正極パルスと負極パルスに分配する。

±分配器50aで分配された正極パルスは、頻度可変器100aの+入力端子に、負極パルスは-入力端子に接続される。±分配器50aは、図8で示したデコーダ88とゲートによる簡単な組み合わせ論理回路で構成される。遅延・利得設定部32からの例えば2bitの利得制御信号30gaが2進数の $0_B$  (BはBinary、2進)のとき、デコーダ88のD0出力端子が“1”になる。 $1_B$ のときはD1が、 $2_B$ のときはD2が、 $3_B$ のときはD3が“1”になる。図8で説明済みのデコーダ88の各デコード端子(出力端子)と、簡単なゲートと、で頻度可変器100aを構成することが可能である。

【0038】

簡単な構成なので特に図示しないで説明を行う。例えばデコーダ88のD0出力端子と、正負極パルスと同じ周波数信号であるfaとの論理積を取ると、1個の正負極パルスに対して1個の正極性パルスVp若しくは負極性パルスVmを発生させることが出来る。

デコーダ88の各出力端子と論理積をとる周波数信号を、正負極パルスの周波数に対して2倍にすると1個の正負極パルスに対して2個の、4倍にすると1個の正負極パルスに対して4個の正極性パルスVp若しくは負極性パルスVmを発生させることが出来る。1bit符号化信号B側も同様に正極性パルスVp2と負極性パルスVm2を発生させる。

【0039】

頻度可変器100aのVpと信号B側の頻度可変器100bのVp2との論理和をORゲート101で取り、その出力信号をU/Dカウンタ92のアップカウント入力端子Uに入力する。同様に負極性パルス側の各頻度発生器の出力VmとVm2との論理和をORゲート102で取り、U/Dカウンタ92のダウンカウント入力端子Dに入力する。こうすることで、パルスの発生頻度によって利得が制御されたオーバーサンプル低振幅分解能符号化信号であるパルス列のデジタル信号を、U/Dカウンタ92によってPCM信号に変換することが可能である。

【0040】

なお、頻度可変器100aと100bから、それぞれ出力される正負極性パルスVp, Vmと、Vp2, Vm2とのタイミングを異ならしておく必要がある。全く同じタイミングではU/Dカウンタ92で正確な計数が行えない。このタイミングをずらすのは、簡単な論理回路で実現できるので、特に図示して説明しない。また、U/Dカウンタ92の具体的な構成についても、一般的なカウンタであるので特に図示して説明しない。

以上、述べたように全てデジタル回路でこの発明の送話装置の利得制御を行うことが可能である。この発明の利得制御の方法を実施例1でパルス幅可変、実施例2でパルスの振幅可変、実施例3でパルス数の頻度可変、によって実現した例を示した。どの構成も、マイクロホンのアナログ出力信号をオーバーサンプル低振幅符号化によってパルス列からなるデジタル信号に変換してから遅延制御と利得制御を行うことで、従来のPCM信号に変換してから行う方法よりも簡単な構成で実現できるので、容易に複数のマイクロホンの指向性制御を実現することが可能になる。

## 【 0 0 4 1 】

なお、上記した実施例 1 ~ 3 は、この発明の利得制御がパルス幅可変及びパルス振幅可変、およびパルス頻度可変によって行えることを示すための一例をそれぞれ示したものであって、各実施例にこの発明が限定されるものではない。オーバーサンプル低振幅符号化によってパルス列からなるデジタル信号を、パルス幅可変、パルス振幅可変、パルス頻度可変の何れかによって利得制御を行い、複数のマイクロホンの指向性制御をするものは、全てこの発明の技術思想に含まれるものである。

## 【 0 0 4 2 】

## [ 実施例 4 ]

上記した実施例は、複数のマイクロホンの信号を各マイクロホンの傍でオーバーサンプル低振幅符号化したデジタル信号を、それぞれ別々の配線で伝送する例で説明を行った。このような配線を減らせば雑音に影響する場所が減少するので、雑音余裕度を向上させるのに有利であることは容易に理解できる。

## 【 0 0 4 3 】

その1bit符号化信号を伝送する複数の配線を、信号を時分割多重して1本にすることが可能であり、その実施例を図 1 1 に示す。マイクロホン A と B からのアナログ信号は、多重化部 1 1 0 の1bit A/D 変換器 1 1 0 a と 1 1 0 b にそれぞれ入力される。1bit A/D 変換器 1 1 0 a は、例えば 2 M H z 程度の周波数信号であるサンプリングクロック でサンプリングされる。1bit A/D 変換器 1 1 0 b は、そのサンプリングクロック の反転した信号でサンプリングされる。図 1 2 に図 1 1 の動作タイムチャートを示す。サンプリングクロック が “ 1 ” の時に1bit A/D 変換器 1 1 0 a が活性化され、その逆の “ 0 ” のときに1bit A/D 変換器 1 1 0 b が活性化される。つまり、デューティ 5 0 % で1bit A/D 変換器 1 1 0 a と 1 1 0 b とが交互に活性化される。

## 【 0 0 4 4 】

したがって、その両者の出力信号の論理和を取る O R ゲート 1 1 0 C の出力信号線である共通信号線 1 1 1 には、交互にマイクロホン A と B の信号が伝送される。その共通信号線 1 1 1 は、分離化部 1 1 2 を構成する D F F 1 1 2 a と 1 1 2 b の D 端子に接続される。

D F F 1 1 2 a のクロック信号 C を、サンプリングクロック の倍の周波数である周波数信号 との  $\times$  の信号とすることで、D F F 1 1 2 a は、その立ち上がりのタイミングにおける共通信号線 1 1 1 上の信号を保持する。 $\times$  の信号の立ち上がりのタイミングにおいては、マイクロホン A に接続された1bit A/D 変換器 1 1 0 a が活性化されているので、D F F 1 1 2 a はマイクロホン A 側のデジタル信号出力を保持する。

## 【 0 0 4 5 】

D F F 1 1 2 b のクロック信号 C を、 $\times$  ( 記号 A は A の反転を意味する ) とすることで、D F F 1 1 2 b は、その立ち上がりのタイミングにおける共通信号線 1 1 1 上の信号を保持する。 $\times$  の信号の立ち上がりのタイミングにおいては、マイクロホン B に接続された1bit A/D 変換器 1 1 0 b が活性化されているので、D F F 1 1 2 b はマイクロホン B 側のデジタル信号出力を保持する。この分離されたデジタル信号は、それぞれが1bit符号化信号 A , B として扱うことができる。

このように簡単に多重化及びその分離を行うことが可能であるので、1bit A/D 変換器に対応して必要であった配線を1本にまとめることが出来る。この結果、配線数が減るので雑音余裕度を向上させることが出来、また配線が減るので部品及び組み立て工数減少によるコストダウン効果も得ることが可能になる。

## 【 0 0 4 6 】

図 1 1 の考え方は、もっと多くの数のマイクロホンが比較的広い空間に固定配置された場合にも適用可能である。その例を図 1 2 に示す。図 1 2 は、部屋の窓等に取り付けられるカーテン 1 2 0 にこの発明による送話装置を組み込んだ例である。カーテンレール 1 2 1 に掛けられたカーテン 1 2 0 の表面全体にマイクロホンと1bit A/D 変換器とから成る素子 1 2 2 a ~ 1 2 2 n が多数分散配置されていて、それらの素子間が共通信号線 1 2 3

で結ばれている。共通信号線 1 2 3 に沿って破線で示すその他の制御線 1 2 4 が配線されている。その他の制御線 1 2 4 は、例えば各素子に電源を供給する電源線と、サンプリングクロック からなる。

このような場合でも、この発明による送話装置によれば、配線数を減少させることができ、また雑音余裕度の向上を図ることが可能である。

【 0 0 4 7 】

[第 2 の実施の形態]

上記した第 1 の実施の形態では、1bit A/D 変換器によってデジタル化された 1bit 符号化信号で説明を行った。しかし、オーバーサンプル低振幅分解能符号化技術による A/D 変換器は 3bit 程度まで多bit化できることが周知である。振幅精度が求められるような場合は、2bit あるいは 3bit 化する場合も想定される。その場合は、各bitの重みに応じて遅延制御及び利得制御の制御値を設定すればよい。その実施例を 2bit の例で以下に示す。

【 0 0 4 8 】

[実施例 1]

図 1 3 に 2bit A/D 変換によってデジタル化された符号化信号を可変幅変換器で利得制御する実施例 1 を示す。マイクロホン A 及び B からの信号は 2bit 符号化信号で送られて来るので、図 4 で説明した Ch 信号処理部 4 0 a , 4 0 b がそれぞれbitの重みに応じて下位の符号化信号の制御に可変遅延器 4 1 a 0 と可変幅変換器 4 2 a 0、上位の符号化信号の制御に可変遅延器 4 1 a 1 と可変幅変換器 4 2 a 1 とから成る 2 系統の可変遅延と可変幅変換器が設けられている点が 1bit A/D 変換器による図 4 の実施例と異なっている。

【 0 0 4 9 】

bit の重みを下位のパルスを出力する可変幅 3 値変換器 4 2 a 0 の出力対して、上位の可変幅 3 値変換器 4 2 a 1 の出力パルス幅がそもそも 2 倍の関係に設計されている。その上で利得量の制御もパルス幅の可変で行うものである。つまり、利得量の制御で可変するパルスの幅の大きさも、上位bitの可変変換器 4 2 a 1 のパルス幅に対して下位の可変変換器 4 2 a 0 のパルス幅を半分にすればよい。上位桁のパルス幅を下位桁のパルス幅  $W_s$  の 2 倍 ( $2W_s$ ) になるように制御すれば良い。その他の動作は先に説明した図 4 と全く同じである。このパルス幅を 2 倍に変えることは、図 5 に示した具体例を簡単に変更することで実現可能なので、特に具体例は示さない。

【 0 0 5 0 】

[実施例 2]

図 1 4 は、2bit の桁の重み付けを振幅で行い、利得制御をパルス幅可変で行うようにした例である。デジタル信号 A , B の上位桁の利得制御を行う可変幅 3 値変換器 1 3 0 a 1 と 1 3 1 b 1 の振幅  $2h$  は、下位桁の利得制御を行う可変幅 3 値変換器 1 3 0 a 0 と 1 3 1 b 0 の振幅  $h$  の 2 倍の振幅に設定されている。この状態でパルス幅を、利得制御信号によって可変することで利得制御を行う。

【 0 0 5 1 】

[実施例 3]

図 1 5 は、2bit A/D 変換によってデジタル化された符号化信号の重み付け加算処理の重みの区別を全て振幅制御で行う例である。1bit A/D 変換の場合を説明した図 7 の可変振幅変換器 7 1 a , 7 1 b が、図 1 5 では 2bit の重みに対応した出力する可変振幅 4 値変換器 1 4 0 a , 1 4 0 b に置き換わっている点が異なる。つまり、図 7 の具体的動作を説明した図 8 においては、正極性パルス及び負極性パルスを生成する OP 3 および OP 4 の出力が “ 1 ” と “ 0 ” の 2 値であったのに対し、可変振幅 4 値変換器 1 4 0 a , 1 4 0 b では、 “ 0 0 ” , “ 0 1 ” , “ 1 0 ” , “ 1 1 ” の 4 つの値の正極パルス及び負極パルスを生成する。このようにすることで多bit化に対応することが可能である。

【 0 0 5 2 】

[実施例 4]

図 1 6 は、2bit の重み付けをパルスの頻度で調整する例を示す。上位の桁は下位のbit

の2倍の頻度としたものである。1bit A/Dの場合を説明した図9の可変頻度変換器91a, 91bが、図16においては下位bitの可変頻度変換器150a0, 150b0、上位bitの可変頻度変換器150a1, 150b1と、bitの重みに対応して2つの可変頻度変換器で構成されている点異なる。上位bitの可変頻度変換器150a1, 150b1は、下位bitの可変頻度変換器150a0, 150b0に対して2倍のパルス数を発生させる関係に設計される。その出力信号を図10で示したように入力端子を増やしたORゲートを介してパルスカウンター平滑器92に入力すればよい。

【0053】

[実施例5]

図17は、上位桁と下位桁とをまとめ、それぞれについてカウント値を求め、その後上位桁を2倍して下位桁に加えるようにしたものである。上位桁のデジタル信号Aについて、可変遅延器41a1, 41b1と可変頻度変換器91a1, 91b1とが直列に接続され、デジタル信号Bについても可変遅延器41a0, 41b0と可変頻度変換器91a0, 91b0とが直列に接続されている。

10

【0054】

上位桁の可変頻度変換器91a1と91b1の出力信号は、上位桁用のパルスカウンター平滑器92aで計数され、下位桁の可変頻度変換器91a0と91b0の出力信号は、下位桁用のパルスカウンター平滑器92bで計数される。上位桁用のパルスカウンター平滑器92aのPCM信号は2倍手段160(単純な1bitシフト)で2倍され、加算器161において下位桁用のパルスカウンター平滑器92bのPCM信号に加算される。加算器161の出力するPCM信号が指向性制御された音声データとなる。

20

このように上位と下位の桁を分けて構成することも出来る。

【0055】

以上述べたようにこの発明の送話装置は、多bit化にも対応することが可能である。

なお、上記してきた実施例は、全て1個のPCM信号に変換した後に音声処理IC34において、音声符号化伝送処理を行う形で説明を行って来た。しかし、複数のマイクロホン、それぞれのデジタル信号をPCM信号に変換した後に遅延・利得制御を行っても良い。その例を図18に示す。

【0056】

図18に示す例は、マイクロホンのアナログ信号をオーバーサンプル低振幅符号化したデジタル信号を直接、既存のA/D変換器を持たない音声処理IC等のポートに入力してこの発明を実現したものである。この構成の特徴は、既製のICで構成可能であり特別なハードウェアの必要がない点である。つまり、ICのポートに入力されるパルス列のデジタル信号を、ソフトウェアで計数してPCM信号に変換し、その後遅延・利得制御をデジタル信号処理部171で行うものである。

30

【図面の簡単な説明】

【0057】

【図1】この発明の送話装置の外観の一例を示す図。

【図2】1bit A/D変換器の一例を示す図。

【図3】この発明の送話装置の機能構成例を示す図。

40

【図4】この発明の1bit信号処理装置30の実施例1を示す図。

【図5】図4の実施例1をより具体的に示した機能構成例を示す図。

【図6】図5の機能構成の動作タイムチャートを示す図。

【図7】この発明の1bit信号処理装置30の実施例2を示す図。

【図8】実施例2の振幅可変による利得制御の方法の一例を示す図。

【図9】この発明の1bit信号処理装置30の実施例3を示す図。

【図10】実施例3をより具体的に示した機能構成例を示す図。

【図11】図11(a)複数の配線を時分割多重して1本にした実施例4の機能構成を示す図。図11(b)は図11(a)の動作タイムチャートを示す図。

【図12】多数のマイクロホンが比較的広い空間に固定配置された例を示す図。

50

【図13】2bit A/D変換によってデジタル化された符号化信号を可変幅変換器で利得制御する実施例1を示す図。

【図14】2bit A/D変換によってデジタル化された符号化信号を可変幅変換器で利得制御する実施例2を示す図。

【図15】2bit A/D変換によってデジタル化された符号化信号を可変幅変換器で利得制御する実施例3を示す図。

【図16】2bitの重み付けをパルスの頻度で調整する例をこの発明の実施例4を示す図

【図17】2bitの重み付けをパルスの頻度で調整する例をこの発明の実施例5を示す図

【図18】既存の音声処理IC等を用いてこの発明を実施する例を示す図。

【図19】携帯電話にマイクロホンを3個設け妨害音を抑圧する技術を示す図。

【図1】

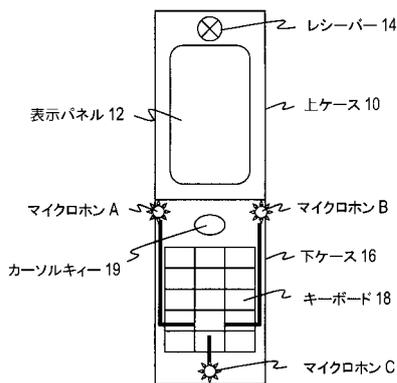


図1

【図3】

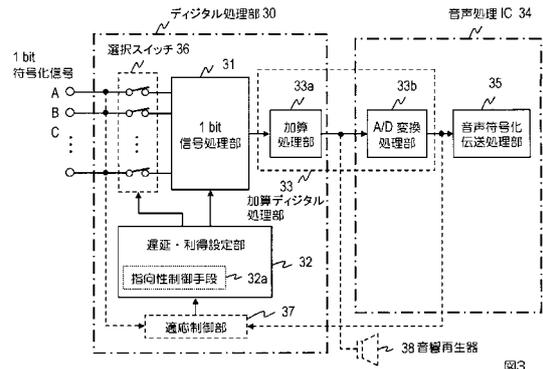


図3

【図2】

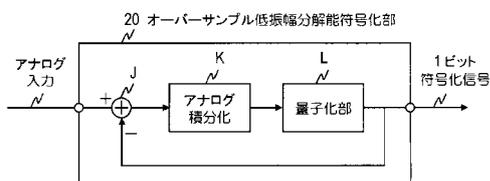


図2

【図4】

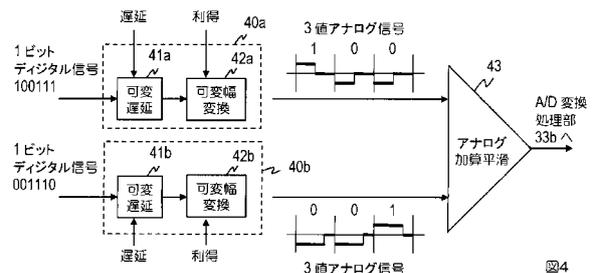


図4

【図5】

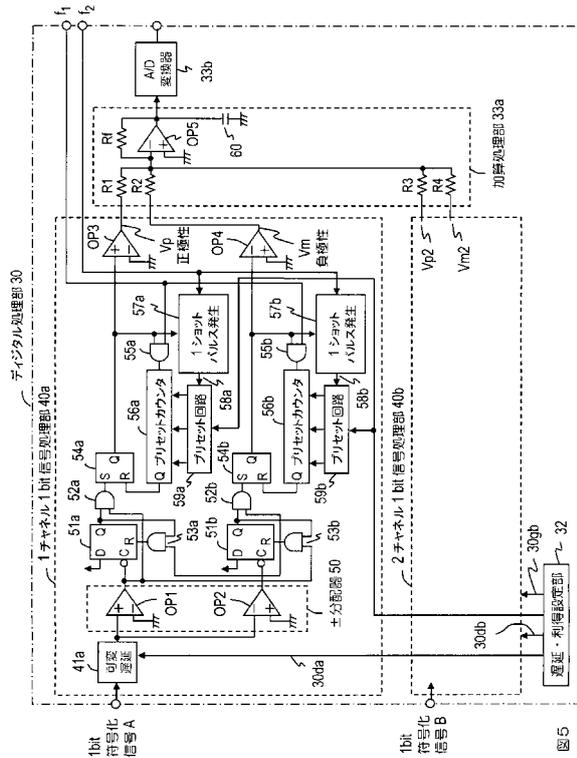


図5

【図6】

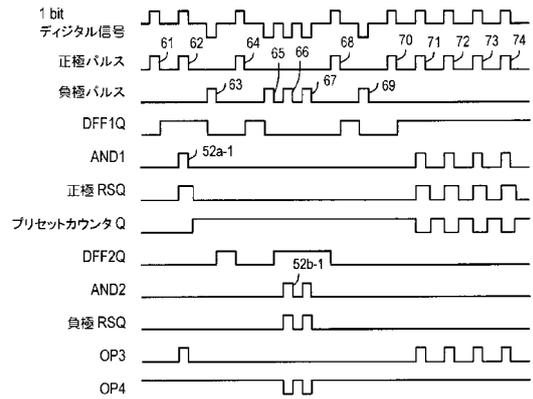


図6

【図7】

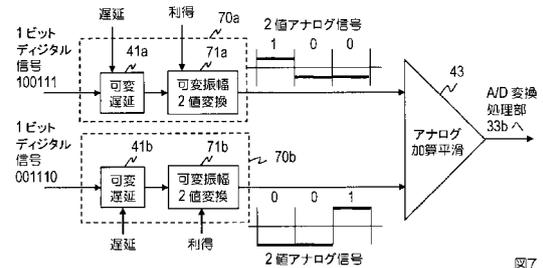


図7

【図8】

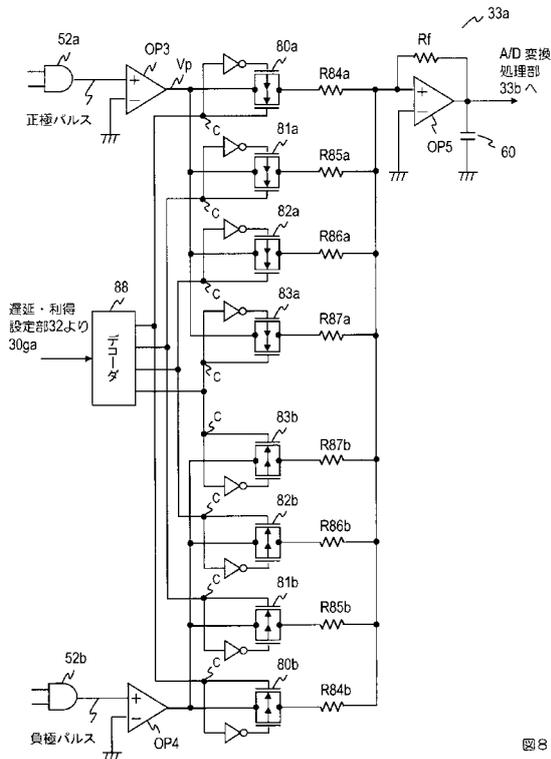


図8

【図9】

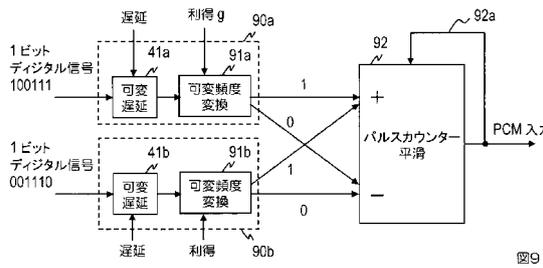


図9

【図10】

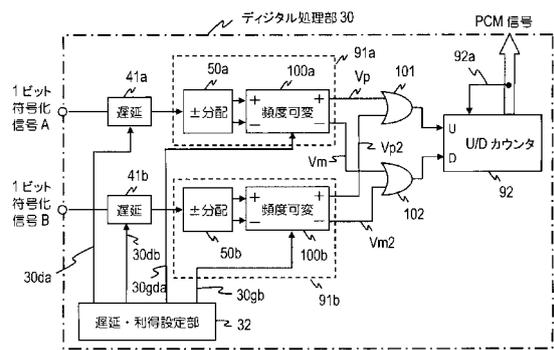


図10

【図11】

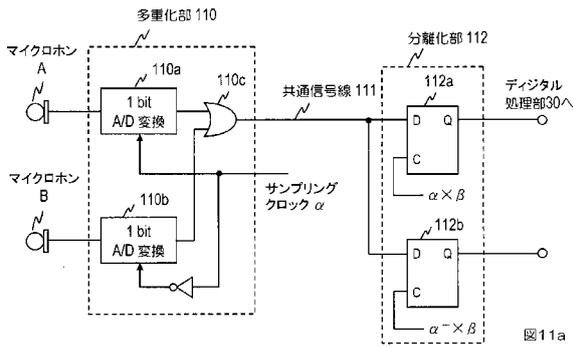


図11a

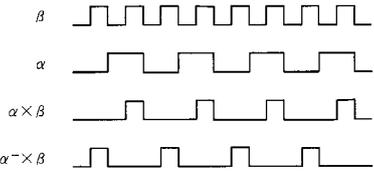


図11b

【図12】

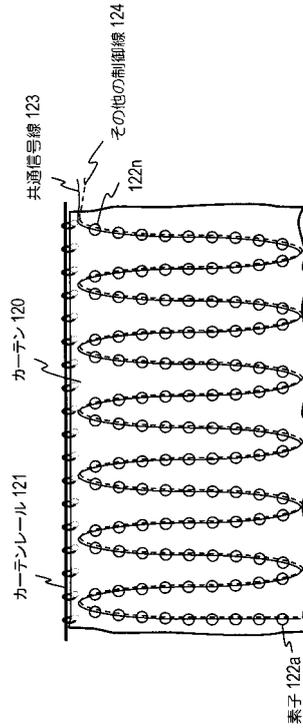


図12

【図13】

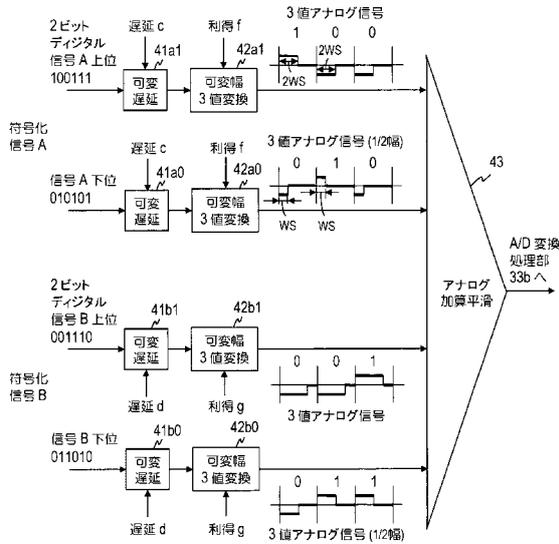


図13

【図14】

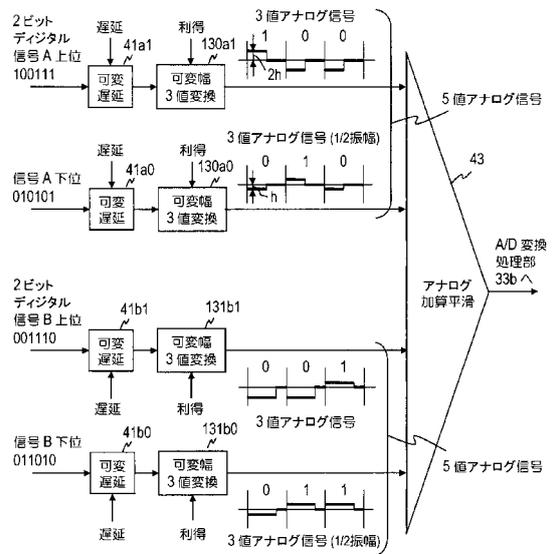


図14

【図15】

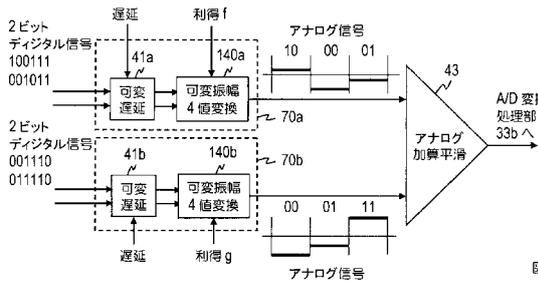


図15

【図17】

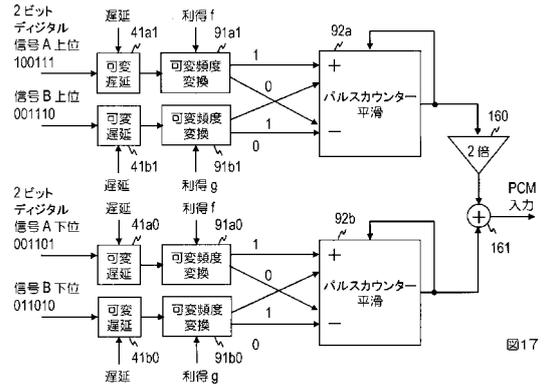


図17

【図16】

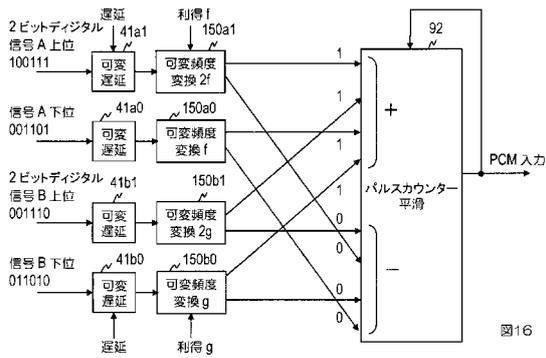


図16

【図18】

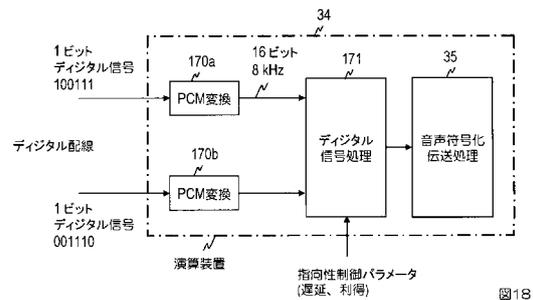


図18

【図19】

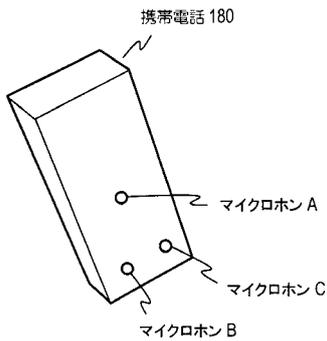


図19

---

フロントページの続き

(72)発明者 鎌本 優

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 鈴木 圭一郎

(56)参考文献 特開平10-155107(JP,A)  
特開2004-191545(JP,A)  
特開2002-271885(JP,A)  
特開平06-335082(JP,A)  
特開平10-335956(JP,A)  
特開2000-332553(JP,A)  
特開2004-186820(JP,A)  
特開平09-185379(JP,A)  
国際公開第03/063158(WO,A1)  
特開2004-040223(JP,A)  
特表2004-502391(JP,A)  
特表2005-519547(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04R 1/00-3/00  
H04B 7/00