

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4537942号
(P4537942)

(45) 発行日 平成22年9月8日(2010.9.8)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl. F I
HO4J 3/00 (2006.01) HO4J 3/00 A

請求項の数 6 (全 19 頁)

| | | | |
|-----------|-------------------------------|-----------|-----------------------------------|
| (21) 出願番号 | 特願2005-342579 (P2005-342579) | (73) 特許権者 | 000004226 |
| (22) 出願日 | 平成17年11月28日(2005.11.28) | | 日本電信電話株式会社 |
| (65) 公開番号 | 特開2007-150744 (P2007-150744A) | | 東京都千代田区大手町二丁目3番1号 |
| (43) 公開日 | 平成19年6月14日(2007.6.14) | (74) 代理人 | 100121706 |
| 審査請求日 | 平成20年2月5日(2008.2.5) | | 弁理士 中尾 直樹 |
| | | (74) 代理人 | 100066153 |
| | | | 弁理士 草野 卓 |
| | | (74) 代理人 | 100128705 |
| | | | 弁理士 中村 幸雄 |
| | | (72) 発明者 | 守谷 健弘 |
| | | | 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内 |
| | | (72) 発明者 | 原田 登 |
| | | | 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社内 |

最終頁に続く

(54) 【発明の名称】 信号多重化装置及び多重信号分離装置及びこれらの方法

(57) 【特許請求の範囲】

【請求項1】

減算器とアナログ積分器と量子化器とで構成されるオーバーサンプル低振幅分解能符号化によって観測信号をデジタル信号とする複数の素子と、

上記複数の素子のデジタル観測信号を伝達する共通信号線と、

上記共通信号線に上記複数の素子のデジタル観測信号を時分割で出力させる制御部と、

から構成され、

上記制御部は、素子ごとに設けられた素子制御部として構成され、各素子制御部は、前段に接続された逐次接続線からの出力指示信号にตอบสนองして上記複数素子よりのデジタル信号を上記共通信号線に出力すると共に、次段の素子に対し、出力指示信号を逐次接続線に送出するものであり、

初段の素子制御部は上記オーバーサンプル低振幅分解能符号化のオーバーサンプリングの1周期ごとに出力指示信号を生成するものであることを特徴とする信号多重化装置。

【請求項2】

請求項1に記載の信号多重化装置において、

上記制御部は素子ごとに設けられた素子制御部として構成され、各素子制御部は、

上記素子ごとに固有の識別番号の指示する時間を生成し、その時間に、当該デジタル信号をそれぞれ上記共通信号線に出力するものであることを特徴とする信号多重化装置。

【請求項3】

観測信号を減算器とアナログ積分器と量子化器とで構成されるオーバーサンプル低振幅分解能符号化でデジタル信号化した複数の信号が時分割多重化されて伝送される共通信号線と、

上記共通信号線上のデジタル信号を上記オーバーサンプル低振幅分解能符号化のオーバーサンプリングの1周期ごとに保持する保持信号を生成する制御部と、

その保持された信号をアナログ信号として復号する複数の素子と、
を備え、

上記制御部は素子ごとに設けられた素子制御部として構成され、各素子制御部は、前段に接続された逐次接続線からの保持指示信号に応答して上記共通信号線上の信号を保持するものであり、

初段の素子制御部は上記オーバーサンプリングの1周期ごとに保持指示信号を生成するものであることを特徴とする多重信号分離装置。

【請求項4】

請求項3に記載の多重信号分離装置において、

上記制御部は素子ごとに設けられた素子制御部として構成され、各素子制御部は、上記素子ごとに固有の識別番号の指示する時間を生成し、その時間に、上記共通信号線上の信号を保持するものであることを特徴とする多重信号分離装置。

【請求項5】

減算器とアナログ積分器と量子化器とで構成されるオーバーサンプル低振幅分解能符号化によって観測信号をデジタル信号とする複数の素子と、

上記複数の素子のデジタル観測信号を伝達する共通信号線と、

上記共通信号線に上記複数の素子のデジタル観測信号を時分割で出力させる制御部と

を備える信号多重化方法であって、

上記複数の素子が、減算器とアナログ積分器と量子化器とによオーバーサンプル低振幅分解能符号化によって観測信号をデジタル信号とする過程と、

上記制御部は、素子ごとに設けられた素子制御部として構成され、その初段の素子制御部が、上記オーバーサンプル低振幅分解能符号化のオーバーサンプリングの1周期ごとに出力指示信号を生成し、上記初段の素子制御部以外の各素子制御部が、前段に接続された逐次接続線からの出力指示信号に応答して上記複数素子よりのデジタル信号を上記共通信号線に出力すると共に、次段の素子に対し、出力指示信号を逐次接続線に送出する過程と、

により信号を多重化する信号多重化方法。

【請求項6】

観測信号を減算器とアナログ積分器と量子化器とで構成されるオーバーサンプル低振幅分解能符号化でデジタル信号化した複数の信号が時分割多重化されて伝送される共通信号線と、

上記共通信号線上のデジタル信号を上記オーバーサンプル低振幅分解能符号化のオーバーサンプリングの1周期ごとに保持する保持信号を生成する制御部と、

その保持された信号をアナログ信号として復号する複数の素子と、
を備える多重信号分離方法であって、

上記制御部は素子ごとに設けられた素子制御部として構成され、その初段の素子制御部が、上記オーバーサンプリングの1周期ごとに出力指示信号を生成し、上記初段の素子制御部以外の各素子制御部が、前段に接続された逐次接続線からの保持指示信号に応答して

上記共通信号線上の信号を保持する過程により上記共通信号線上の信号を分離する多重信号分離方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、多数の観測信号を少ない伝送線で伝送する技術に関する。例えば多数のマ

10

20

30

40

50

イクロホンによって収音した音響信号を少ない配線数で伝送する信号多重化装置及び、その多数の音響信号を多数のスピーカーで再生するために多重化された信号を分離する多重信号分離装置、及びそれらの装置を用いて例えば収音した音場を他の場所に忠実に再現することが出来るような方法に関する。

【背景技術】

【0002】

自然界の事象を電氣的に検出してその信号を伝送するに当たっては、雑音余裕度を向上させる目的でアナログ信号である観測信号をそのまま伝送するのでは無く、一度、そのアナログ信号をデジタル信号に変換（Analog to Digital Conversion、以降A/D変換と称する）してから伝送する方法がある。

A/D変換については、従来からアナログ信号を一定値に保持して、振幅方向の分解能を例えば8bit若しくは16bit程度確保する逐次比較型A/D変換器が良く用いられていた。この方法でA/D変換を行うと、信号の振幅の精度を得ようとする多bit化が前提になり、そのデジタル化した信号を伝送するためには、少なくとも多bitに対応した複数の信号線を必要とする課題があった。また、振幅方向の精度を高めるためには、アナログ信号を一定時間の間、一定値に保持する必要があり、その結果、変換に時間がかかり変換速度が遅く、また回路規模が大きくなる課題があった。

特に多数の信号をA/D変換する場合、例えば、多数のマイクロホンそれぞれについて逐次比較型A/D変換器でデジタル信号に変換するのは、回路規模が大きく、非常にコストの高いものになる課題があった。

【0003】

このような課題を持つ逐次比較型A/D変換器に対して、サンプリング周波数をナイキスト周波数よりも十分高い周波数で行い、時間方向の分解能を上げることで、高いS/N比を得るオーバーサンプル低振幅分解能符号化技術によるA/D変換器を用いる方法がある。オーバーサンプル低振幅分解能符号化技術によるA/D変換器は、エイリアシングフィルタ等のアナログ回路がデジタル化出来ること、及びアナログ量をデジタル量に変換する量子化部やD/A変換部が1～数bitで回路化できるので、低コスト化、低消費電力化が図れる。

【0004】

図16にオーバーサンプル低振幅符号化技術による1bitA/D変換器の例を示し、その動作を簡単に説明する。1bitA/D変換器160は、減算器Jとアナログ積分器Kと量子化器Lとによって構成される。減算器Jでアナログ入力と量子化器Lの出力とを減算し、アナログ入力が増加方向に変化している場合には、量子化器Lは正極性のパルスを出力する。アナログ入力が増加方向に変化すると量子化器Lは負極性のパルスを出力する。アナログ入力値が変化しない場合は、量子化器Lは正と負のパルスを交互に出力する。サンプリング周波数（パルス間隔）を2～3MHz程度とすることによりアナログ入力信号の波形を忠実にA/D変換することが出来る。

【0005】

図17に1bitA/D変換器でデジタル化された信号をアナログ信号に復号する復号化手段を示す。1bitA/D変換器が上記したようなアルゴリズムで1bitの符号化信号を生成するものであるから、復号化手段170は、図17に示すように低域通過フィルタで構成することができる。つまり、正極性のパルスが連続して入力される時のアナログ出力信号は、階段状に上昇し、正と負のパルスが交互に入力されるとアナログ出力信号は現状の値を維持し、負極性のパルスが連続して入力されると、アナログ出力信号はゼロに向かって減少し、更に負極性のパルスが入力されると、アナログ出力信号は負極性に至る。このようにして1bitA/D変換器のデジタル信号はアナログ信号に復号される。このようなオーバーサンプル低振幅符号化技術を用いることで、少ない信号線（1～数bit）でアナログ信号を伝送することが可能になる。

【0006】

このオーバーサンプル低振幅符号化技術を用い、発明者らが提案した多チャンネル音響信

10

20

30

40

50

号を低コストで伝送する多チャンネル符号化装置を図18に示す。N本のマイクロホン(1A~1N)からのアナログ信号のそれぞれを、オーバーサンプル低振幅分解能符号化手段180A~180NでA/D変換する。A/D変換された各マイクロホンの信号が入力されるパケット多重化手段16Aでは、各マイクロホンを識別する識別信号をA/D変換器の出力信号に付し、小さなまとまりのデータ、つまりパケット(packet)化した上に更に多重化して伝送系17Aに送出する。(パケット受信手段18Aから伝送系17Bの説明は、以下の説明と同じであるので省略する)

パケット受信手段18Bは、そのパケット化されたマイクロホンの信号を受信し、パケット信号内の識別信号に応じて、識別信号に対応した復号化手段181A~181Nにマイクロホンの信号を供給する。復号化手段181A~181Nは、図14で説明済みの動作を行いアナログ信号に復号化し、復号化手段181A~181Nそれぞれに接続されたスピーカシステム7A~7Nで音響信号に変換されて出力される。

【0007】

また、従来から複数のチャンネル信号を時分割多重する場合は、その複数のチャンネル信号を一箇所に集約し、各チャンネル信号を同期信号の1周期間に設けられた複数のタイムスロットの各1つに順次割り当てて送出する方法が一般的であった。そうして多重化された時分割信号の分離も一箇所でやっている。

このように従来においては、パケット多重化、時分割多重化のいずれでも各チャンネル信号を一箇所に集約しているため、多重化装置と各信号線間の配線が複雑になっていた。多重分離においても同様であった。

【特許文献1】特開2004-191545(図4)

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記したような従来の技術では、例えば、逐次比較型AD変換器を用いる場合よりは、オーバーサンプル低振幅符号化技術を用いているので、その分、伝送系の信号線を少なくすることが出来るが、オーバーサンプル低振幅符号化技術を用いた特徴を十分生かしているとは言えなかった。つまり、パケットによる多重化は、パケットのヘッダに記述されるアドレスによって個々のマイクロホンやスピーカ素子を識別する必要があり、数多くの素子の信号を多重化するには伝送速度の限界がある。また、個々のデータが大きくなるので多重化できるチャンネル数も減少してしまう。

【0009】

この発明はこのような点に鑑みてなされたものであり、オーバーサンプル低振幅符号化技術の特徴を生かして、構成が簡単で、伝送系の信号線の本数が少なく、また高速な信号伝達が可能な多重化装置及び多重信号分離装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

この発明の信号多重化装置は、オーバーサンプル低振幅分解能符号化によって観測信号をデジタル信号とする複数の素子と、その複数の素子からのデジタル出力信号を時分割で共通信号線に多重化出力させる制御部とからなる。

更に、この発明の多重信号分離装置は、時分割多重化され、共通信号線に出力されたデジタル信号をオーバーサンプリングの1周期ごとに保持する複数の保持信号を生成する制御部と、その保持された信号をアナログ信号として復号する複数の素子とからなる。

【発明の効果】

【0011】

以上のようにこの発明の信号多重化装置及び多重信号分離装置によれば、伝送系の信号線をオーバーサンプル低振幅符号化によってデジタル化された少ない信号線(1~数bitの共通信号線)で形成することから、個々の伝送信号に識別信号を必要としない、低コストで高速な時分割多重伝送が実現できる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

以下、この発明の装置の実施の形態を図面を参照して説明するが、その動作説明により、発明の方法の実施形態の説明も兼ねる。以降の説明において、同一のものには同一の参照符号を付け、説明は繰り返さない。

[第 1 の実施の形態]

[実施例 1]

図 1 にこの発明による信号多重化装置の実施例 1 を示す。観測信号 S をオーバーサンプル低振幅分解能符号化でデジタル信号化する複数の素子 $10a \sim 10n$ の A/D 変換出力が、共通信号線 11 にそれぞれ接続されている。複数の素子 $10a \sim 10n$ をそれぞれ活性化させるサンプリングクロック 12 と、素子の出力である観測信号の A/D 変換結果を、共通信号線 11 に時分割で出力させるゲート信号 $13a \sim 13n$ が制御部 100 から供給されている。

10

【 0 0 1 3 】

素子の一例を図 2 に示す。図 2 は、観測信号として音を検出するマイクロホン 30 を用いた素子 $10a \sim 10n$ の一つを示す。素子 $10a$ は、マイクロホン 30a と 1bit オーバーサンプル型 A/D 変換器 22a とゲート素子 23a を一体化したものである。音波をマイクロホン 30a で電気信号に変換し、その電気信号をアンプ 21a で増幅し、その増幅された信号を、制御部 100 からのサンプリングクロックが “1” (論理レベル 1 を意味する) のタイミングで 1bit A/D 変換器 22a によってオーバーサンプリング低振幅分解能デジタル信号に A/D 変換する。制御部 100 からのゲート信号が “1” のタイミングでゲート素子 23a が制御され、A/D 変換されたデジタル信号が共通信号線 11 に出力される。

20

【 0 0 1 4 】

制御部 100 の動作タイムチャートを図 3 に示し、その動作を説明する。制御部 100 は、マスタークロック 33 の立下りのタイミングで動作する n 段の分周回路 101 の最終分周出力信号を、サンプリングクロック 12 として各素子 $10a \sim 10n$ に供給する。素子 $10a \sim 10n$ の前半の半分には、分周回路 101 の最終分周出力信号を反転させたサンプリングクロック 12 (記号 A は A の反転を意味する) が供給され、後半の半分には分周回路 101 の最終分周出力信号がそのまま供給されている。つまり、サンプリングクロック 12 が “0” の期間で前半分の素子 $10a \sim 10*$ (* は素子全数の半分の数に対応した符号である) がサンプリングされ、“1” の期間で残り半分の素子がサンプリングされる。このサンプリングクロック 12 の周波数を例えば、2MHz 程度にすることで、オーバーサンプリング状態で 1bit A/D 変換器 22a が動作する。

30

【 0 0 1 5 】

各素子 $10a \sim 10n$ の A/D 変換結果であるデジタル出力信号を共通信号線 11 に出力するタイミングを決定するゲート信号 $13a \sim 13n$ は、分周回路 101 の最終分周出力 (n 段目) の立下りのタイミングでマスタークロック 33 の一周期分の時間幅のパルス信号を生成する微分回路 102 と、微分回路 102 の出力するパルス信号をマスタークロック 33 の立ち上がりのタイミングでシフトさせる n 段のシフトレジスタ 103 と、シフトレジスタ 103 の各段の出力とマスタークロック 33 との論理積を取る AND ゲート $104a \sim 104n$ とによって生成される。

40

【 0 0 1 6 】

サンプリングクロック 12 の周波数を例えば 2MHz とし、素子の数を n 個とすると、マスタークロック 33 は、 $n \times 2$ MHz の周波数に設定される。微分回路 102 は、分周回路 101 の最終分周出力信号の立下りのタイミングで、マスタークロック 33 の 1 周期分の時間幅を持つパルス信号を周期的に発生する。微分回路 102 が発生したパルスは、 n 段のシフトレジスタ 103 に入力され、マスタークロック 33 の 1 周期の時間幅で 1 周期の時間ずつ遅れた (シフトされた) 信号に変換される ($1Q, 2Q, 3Q, \dots$)。

このマスタークロック 33 の 1 周期分ずつシフトされた n 段シフトレジスタ 103 の各段の出力信号と、マスタークロック 33 との論理積で各素子のゲート信号が生成される。

50

素子 10 a のゲート信号 13 a は、AND ゲート 104 a によってマスタークロック 33 のクロック 1 のタイミングに発生する。素子 10 b のゲート信号 13 b は、AND ゲート 104 b によってマスタークロック 33 のクロック 2 のタイミングに発生する。

【0017】

以下同様に n 個の素子に対する n 個のゲート信号がそれぞれ異なるタイミングに発生される。この結果、各素子 10 a ~ 10 n で検出された音波は、共通信号線 11 上に時分割多重される。

このようにこの発明の信号多重化装置によれば、複数の素子に個別の識別信号を付する事も無く、最小の信号線で、且つ高速な信号の伝送を行うことが可能になる。また、この共通信号線 11 上の時分割多重信号には、同期信号が含まれていない。

10

[実施例 2]

制御部として素子ごとに素子制御部を設け、素子を制御する配線数も減らした実施例 2 を図 4 に示す。各素子 10 a, 10 b, 10 c, 10 d ごとに素子制御部 40 a, 40 b, 40 c, 40 d が設けられ、各素子 10 a ~ 10 d には、各素子制御部 40 a ~ 40 d からサンプリングクロック 12 a ~ 12 d が供給されている。各素子制御部 40 a ~ 40 d は前段の素子制御部からの逐次接続線 41 a ~ 41 c によって芋づる式に順次接続されている。初段の素子 10 a の素子制御部 40 a には、初期指示生成部 42 が接続されている。初期指示生成部 42 及び各素子制御部 40 a ~ 40 d には、マスタークロック線 LMC からそれぞれマスタークロック 33 が供給されている。各素子 10 a ~ 10 d の出力は、各素子制御部 40 a ~ 40 d を介して共通信号線 11 に接続されている。図 3 は、素子が 4

20

【0018】

図 5 (作図上の都合により図 5 - 1 と図 5 - 2 に分かれているが、本来 1 個の物である) に実施例 2 をより具体的に示す。図 5 は図 4 に対して回路を初期化するためのリセット信号 50 を各素子制御部に送るリセット信号線 LR が追加されているが、他の構成は図 4 と全く同じである。リセット信号 50 は、図 5 に用いられている T 型フリップフロップ (Toggle type Flip Flop 以降、TFF と称す) と D 型フリップフロップ (Delay type Flip Flop 以降、DFF と称す) の全てのリセット端子に接続され、回路全体を初期化するものである。動作停止時に "1" (初期化)、動作時に "0" とされる信号である。各素子 10 a ~ 10 d を制御する素子制御部 40 a ~ 40 d には、素子制御部自身がサンプリングクロックとゲート信号を生成する目的で、分周回路 51 a ~ 51 d とゲート信号生成部 52 a ~ 52 d とゲート素子 53 a ~ 53 d がそれぞれに設けられている。なお、図 2 の説明では、ゲート素子 23 a ~ 23 n が各素子に一体化された例で示したが、図 5 においては、そのゲート素子 23 a をゲート素子 53 a ~ 53 d として素子制御部側に組み込んだ構成で示している。動作に変わりはない。初段の素子 10 a を制御する素子制御部 40 a だけに、初期化指示生成部 42 が設けられている。

30

【0019】

各素子制御部 40 a ~ 40 d は、それぞれが生成するサンプリングクロック 12 a ~ 12 d を各素子 10 a ~ 10 d に供給すると共に、各素子からのデジタル信号をゲート素子 53 a ~ 53 d を介して共通信号線 11 に出力する。各素子制御部同士は、逐次接続線で接続される。素子制御部 40 a と 40 b が逐次接続線 41 a で、素子制御部 40 b と 40 c が逐次接続線 41 b で、素子制御部 40 c と 40 d が逐次接続線 41 c で接続されている。この実施例の最終段の素子制御部 40 d には、逐次接続線 41 d が接続されていない。

40

【0020】

図 5 の動作を示すタイムチャートを図 6 に示し、動作を説明する。各素子制御部 40 a ~ 40 d から各素子 10 a ~ 10 d に供給されるサンプリングクロックの周波数を 2 MHz とした場合、マスタークロック 33 の周波数は 4 倍の 8 MHz である。

各素子制御部 40 a ~ 40 d 内の TFF 2 段で構成された分周回路 51 a ~ 51 d は、マスタークロック 33 の周波数を T 端子に入力されるクロック信号の立下りで分周し、各

50

素子へ供給するサンプリングクロック 12 a ~ 12 d を生成する。素子 10 a と素子 10 b のサンプリングクロック 12 a, 12 b と、素子 10 c と素子 10 d のサンプリングクロック 12 c, 12 d の位相は 180° 異なっている。つまり、それぞれ同一の構成の分周回路を構成する最後の TFF の異なる極性の出力がサンプリングクロックとされている。素子 10 a, 10 b のサンプリングクロックが TFF の Q、素子 10 c, 10 d のサンプリングクロックが TFF の Q 端子から取られている。したがって、リセット信号 50 による初期化後は、最初に素子 10 a と 10 b がサンプリングされ、次に素子 10 c と 10 d がサンプリングされる。デューティ 50% の信号であるサンプリングクロックによって交互に素子 10 a, 10 b と、素子 10 b, 10 c が活性化される。

【0021】

初段の素子 10 a を制御する素子制御部 40 a には、分周回路 51 a の最後の TFF の Q の立ち上がりでパルスを発生させる微分回路で構成された初期化指示生成部 42 が設けられている。初期化指示生成部 42 は、分周回路 51 a の最後の TFF の Q の立ち上がりでマスタークロック 33 の一周分幅の初期化指示パルスを、サンプリングクロック (分周回路 51 a の最後の TFF の Q) の立下りのタイミングで周期的に発生する。

その初期化指示パルスは、ゲート信号生成部 42 a を構成する DFF の D 端子に入力され、マスタークロック 33 の半周期分遅らされた DFF_{52a} の Q 出力とマスタークロック 33 との論理積を取るアンドゲート G_{52a} によって、ゲート信号 1 となる。ゲート信号 1 は、素子 10 a のデジタル出力信号の共通信号線 11 への接続を制御するゲート素子 53 a のコントロール端子に接続されている。

【0022】

ゲート信号生成部 52 a を構成する DFF_{52a} の Q 出力は、初期化指示パルスをマスタークロック 33 の半周期分遅らせた信号、図 6 においてマスタークロック 33 のクロック 1 の立ち上がりからクロック 2 の立ち上がりまでのパルスである。このパルスが、次段への出力指示信号として逐次接続線 41 a によって素子制御部 40 b に供給される。

逐次接続線 41 a によって、供給される出力指示信号は、素子制御部 40 b のゲート信号生成部 52 b を構成する DFF_{52b} の D 端子に入力される。DFF_{52b} の Q 出力は、マスタークロック 33 のクロック 2 の立ち上がりで “1” (論理レベル 1) になり、次のクロック 3 の立ち上がりのタイミングで “0” に変化する。つまり、素子制御部 40 a からの出力指示信号がマスタークロック 33 の 1 クロック分遅れた信号となる。マスタークロック 33 の 1 クロック分遅れた DFF_{52b} の Q 出力とマスタークロック 33 との論理積を取るアンドゲート G_{52b} によって、ゲート信号 2 が生成される。ゲート信号 2 は、素子 10 b のゲート素子 53 b のコントロール端子に接続されている。

【0023】

以降同様に、素子制御部 40 c は、マスタークロック 33 のクロック 3 の立ち上がりからクロック 4 の立ち上がりまで “1” となる出力指示信号を生成し、マスタークロック 33 のクロック 3 のタイミングで “1” となるゲート信号 3 を生成する。

素子制御部 40 d は、マスタークロック 33 のクロック 4 の立ち上がりからクロック 5 の立ち上がりまで “1” となる出力指示信号を生成し、マスタークロック 33 のクロック 4 のタイミングで “1” となるゲート信号 4 を生成する。

図 5 は、素子が 4 個しかない例であるので、4 段目の素子制御部 30 d からの出力指示信号は、開放されているが、上記した関係で以降 n 個の素子及び n 個の素子制御部を接続することが可能である。その場合、マスタークロック 33 の周波数をサンプリングクロックの周波数の少なくとも n 倍にすれば良い。

【0024】

以上説明した図 5 の動作を整理して述べると、マスタークロック 33 が “0” の期間、素子 10 a と 10 b が活性化 (サンプリング) され、反対の “1” の期間は、素子 10 c と 10 d が活性化される。その状態において、素子 10 a のデジタル出力信号がマスタークロック 33 のクロック 1, 5, 9 のタイミングで共通信号線 11 に出力され、素子 10 b はクロック 2, 6, 10、素子 10 c はクロック 3, 7, 11、素子 10 d はクロック 4,

10

20

30

40

50

8, 12のタイミングで共通信号線11に出力される。この動作はマスタークロック33が発生している間繰り返されるので、共通信号線11を通して、各素子10a~10dで観測したデジタル出力信号を多重化して伝送することが可能になる。

【0025】

以上説明した実施例2は、図1に示した実施例1に対して、素子ごとに素子制御部を設けたことにより、素子制御のための長い配線を減らす効果がある。実施例1では、n個の素子に対してそれを制御する制御部100が1個であるために、それぞれを制御するための配線数を多く必要としていた。実施例2によればn個の素子に対して、共通信号線と初期化するためのリセット信号線LRとマスタークロック線LMCと、各素子制御部間を接続する逐次接続線41の4系統の信号線(配線)のみで構成することが出来る。

10

なお、この実施例2の最後の素子制御部40dからの逐次接続線41dが無い形で説明を行ったが、図4に破線で示すように素子制御部40dからの逐次接続線41dを初段の素子制御部40aに接続しても良い。このように素子制御部を逐次接続線で円環状に接続することも可能である。その場合、初期指示生成部42が簡単なスイッチに置き換え可能である。図4に破線で示すスイッチ44を一定時間(短い時間でよい)オンさせて素子制御部40aにゲート信号を発生させると、後は、逐次接続線41a~41dを介して順次、各素子制御部が上記した動作を行う。

[実施例3]

更に素子を制御する配線を減らした実施例3を図7に示す。図7は実施例2で示した各素子制御部内に設けられた分周回路を固有値カウンタに置き換えた素子制御部70a~70dとすることで、各素子制御部間を芋づる式に接続する逐次接続線を無くしたものである。その部分が異なるだけで他の構成は全く同じであるので、図7の説明は省略し、図7を具体的に構成した一例を示す図8について説明する。

20

【0026】

図8(作図上の都合により図8-1と図8-2に分かれているが、本来1個の物である)は、実施例2と同様に素子が4個の例で示す。説明済みの実施例2と異なる点は、各素子制御部40a~40d内の分周回路51a~51dが、固有値カウンタ80a~80dに置き換わっている点だけが異なっている。

固有値カウンタ80a~80dの構成は、単純な2bit(この例では素子が4個なので22bitである)のバイナリーカウンタで構成され、各カウンタがそれぞれの固有値でキャリーを発生させるようにデコーダ81a~81dを有している。図9にその動作タイムチャートを示す。素子制御部40aの固有値カウンタ80aに設けられたデコーダ81aは、ANDゲートで構成され固有値カウンタのカウント値が0の期間“1”となるパルスが発生させ、ゲート信号生成部52aに供給する。

30

【0027】

素子制御部40bでは、固有値カウンタのカウント値が1の期間“1”となるパルスが発生させ、ゲート信号生成部52bに供給する。以降同様にカウント値2の期間が素子10c、カウント値3の期間が素子10dのタイミングとなる。

この各固有値カウンタ80a~80dが生成するパルスは、実施例2で示した逐次接続線41a~41cによって次段の素子制御部へのゲート信号生成のタイミングを指示する信号と同じものである。

40

このように各素子制御部内に固有値カウンタを設けることで、実施例2で示した逐次接続線も無くすることが可能になる。この結果、共通信号線11とリセット信号線LRとマスタークロック線LMCの3本の配線だけで、n個の素子の信号を時分割多重伝送することができる。この例では、素子を4個の例で説明したが、素子の数を増やしても固有値カウンタ80a~80dのカウント値を増やすだけの変更で、この発明を実施することが出来る。

【0028】

以上述べたような構成において、オーバーサンプル低振幅分解能符号化によって複数の観測信号をデジタル化する過程と、そのデジタル化した複数の観測信号を共通信号線

50

に時分割で出力する過程を実行することで、信号多重化方法が実現できる。

[第 2 の実施の形態]

[実施例 1]

図 10 にこの発明による多重信号分離装置を示す。観測信号をオーバーサンプル低振幅分解能符号化でデジタル信号化した複数の信号が伝送される共通信号線 11 に、デジタル信号をアナログ信号に復号する n 個の素子 60a ~ 60n が接続されている。各素子には、制御部 200 から共通信号線 11 上に多重化されたデジタル信号をオーバーサンプリングの 1 周期ごとに保持するための保持信号 20a ~ 20n が、それぞれ供給されている。

【 0029 】

素子 60a ~ 60n の一例を図 11 に示す。図 11 は、例えばスピーカ 110 を用いた素子 60a ~ 60n の一つを示す。素子 60a は、制御部 200 から供給される保持信号 20a によって共通信号線 11 上のデジタル信号を保持する保持素子 111 と、保持素子 111 で保持したデジタル信号をアナログ信号に復号する復号手段 112 と、復号手段 112 の出力信号を増幅してスピーカ 110 に供給するアンプ 113 とで構成される。

復号手段 112 については、背景技術で説明した図 14 と同じものであるので、説明を省略する。このように素子 60a を構成することで、オーバーサンプリング周波数の周期でデジタル化された例えば音波を再生することが可能である。

【 0030 】

制御部 200 の動作が図 3 で説明した信号多重化装置の実施例 1 の動作とほとんど同じである。したがってタイムチャートは図 3 を参照されたい。図 3 の微分回路 102 が 202、AND ゲート 104a が 204a に相当する。制御部 200 は、マスタークロック 33 の立下りのタイミングで動作する n 段の分周回路 201 と、最終分周出力の立下りのタイミングでマスタークロック 33 の一周期分の時間幅のパルス信号を生成する微分回路 202 と、微分回路 102 の出力するパルス信号をマスタークロック 33 の立ち上がりのタイミングでシフトさせる n 段のシフトレジスタ 203 と、シフトレジスタ 203 の各段の出力とマスタークロック 33 との論理積を取る AND ゲート 204a ~ 204n とで構成される。

【 0031 】

微分回路 202 は、分周回路 201 の最終分周出力信号の立下りのタイミングで、マスタークロック 33 の 1 周期分の時間幅を持つパルスを周期的に発生する。微分回路 202 が発生したパルスは、 n 段のシフトレジスタ 203 に入力され、マスタークロック 33 の 1 周期の時間幅で 1 周期の時間ずつ遅れた (シフトされた) 信号に変換される (1Q, 2Q, 3Q, ...)。

このマスタークロック 33 の 1 周期分ずつシフトされた n 段シフトレジスタ 203 の各段の出力信号とマスタークロック 33 との論理積で各素子の保持信号が生成される。素子 60a の保持信号は、AND ゲート 204a によってマスタークロック 33 のクロック 1 のタイミングに発生する。保持素子 111 は DFF 等で構成されるラッチ回路であり、例えば保持信号が “1” の時に読み込み “0” に変化する瞬間の共通信号線 11 上の信号を保持するものである。素子 10b のゲート信号は、AND ゲート 204b によってマスタークロック 33 のクロック 2 のタイミングに発生する。

【 0032 】

以下同様に n 個の素子に対する n 個の保持信号がそれぞれ対応するタイミングで共通信号線 11 に出力されたデジタル信号を保持する。したがって、共通信号線 11 にオーバーサンプリング低振幅分解能符号化によってデジタル化され、多重化された信号多重化装置と同じマスタークロック周波数及び、初期動作を同時に開始させれば、上記した構成により多重信号分離が可能である。初期動作を同時に開始させるのは、信号多重化装置側のリセット信号と同じリセット信号を多重分離装置側でも用いるようにすれば容易に行える。

10

20

30

40

50

【 0 0 3 3 】

なお、上記した例では、共通信号線 1 1 上にマイクロホン側の信号が出力されるタイミングと、多重分離装置側の保持回路が共通信号線 1 1 上の信号を保持（ラッチ）するタイミングが一致しているように見えるが、一般的には保持信号の立下りのタイミングの方が、共通信号線 1 1 上のデータが不定になるより早いため確実に保持することが可能である。この辺りの遅延による動作が心配の場合は、マスタークロックよりも高い周波数の信号を用いて保持信号を生成するようにすれば良く、タイミング上の余裕を確保することは容易であり設計上の問題である。

【 0 0 3 4 】

また、この発明の説明のために示した具体的な回路についても、あくまでも一例であり、例えば固有値カウンタ等は、その設計方法によって種々の変形が可能なことは言うまでも無いことである。

【 実施例 2 】

制御部を素子ごとに設けられる素子制御部とし、配線数も減らした実施例 2 を図 1 2 (作図上の都合により図 1 2 - 1 と図 1 2 - 2 に分かれているが、本来 1 個の物である) に示す。各素子 6 0 a , 6 0 b , 6 0 c , 6 0 d ごとに素子制御部 1 2 0 a , 1 2 0 b , 1 2 0 c , 1 2 0 d が設けられ、各素子 6 0 a ~ 6 0 d には、各素子制御部内に設けられた保持素子 1 1 1 a ~ 1 1 1 d で保持された信号が、供給されている。実施例 2 では、1 1 1 a ~ 1 1 1 d を各素子制御部内に組み込んだ構成としている。動作は、信号多重化装置の実施例 2 で説明した図 5 の動作とほぼ同じである。

【 0 0 3 5 】

そこで、対応するものの参照符号を明らかにすることで、動作説明は省略する。図 5 - 1 の初期化指示生成部 4 2 が図 1 2 の初期化指示生成部 1 2 2、分周回路 5 1 が分周回路 1 2 1、ゲート信号生成部 5 2 が保持信号生成部 1 2 3 に対応する。

図 1 2 の多重分離装置の動作タイムチャートを図 1 3 に示す。素子制御部 1 2 0 a 内の保持信号 2 0 a は、マスタークロック 3 3 のクロック 1 のタイミングで発生する。素子制御部 1 2 0 b が生成する保持信号 2 0 b は、マスタークロック 3 3 のクロック 2 のタイミングで発生する。以下同様に、素子 6 0 c の保持信号 2 0 c はクロック 3、素子 6 0 d の保持信号はクロック 4 のタイミングで発生され、以降繰り返される。

【 0 0 3 6 】

図 1 2 の例では、保持素子 1 1 1 が D F F で構成されているので、保持信号の立下りの瞬間の共通信号線 1 1 上のデジタル信号を保持するように動作する。今、信号多重化装置もこの保持信号 2 0 a に対応するゲート信号 1 3 a をある特定の位置のマイクロホンからなる素子 1 0 a に割り当てたとすると、そのマイクロホンの位置で捕らえた音波を素子 6 0 a のスピーカーで再生することができる。

例えば、信号多重化装置の実施例 3 を応用した例を図 1 4 に示す。図 1 4 は、部屋の窓等に取り付けられるカーテン 1 4 0 にこの発明による信号多重化装置を組み込んだ例を示す。カーテンレール 1 4 1 に掛けられたカーテン 1 4 0 の表面全体にマイクロホンからなる素子 1 0 a ~ 1 0 n が多数分散配置されていて、それらの素子間が共通信号線 1 1 で結ばれている。共通信号線 1 1 に沿って破線で示すその他の制御線 1 4 2 が配線されている。その他の制御線 1 4 2 は、例えば各素子に電源を供給する電源線と、初期化する為のリセット信号と、マスタークロックからなる。

【 0 0 3 7 】

信号多重化装置側をこのカーテン 1 4 0 のように構成し、多重信号分離装置側を、図示しないが、図 1 4 の素子をスピーカーに置き換えた同じカーテン状のものとする。そうした上で信号多重化装置側の素子 1 0 a の位置で収録した音波を、再生するスピーカー（素子 6 0 a）をカーテン上の同じ位置に相当する場所に素子 6 0 a を置く。そうしておいて、そのカーテン状の多重信号分離装置を他の部屋の窓に掛け、両方のカーテンを共通信号線で結ぶと、信号多重化装置側が置かれた部屋の音場を他の部屋に忠実に伝達することが可能である。

【 0 0 3 8 】

図 1 4 を参照して説明した信号多重化装置と多重信号分離装置において共通する点は、多くの素子が分布して設けられ、これら素子の配置に沿って共通信号線 1 1 及びその他の制御線 1 4 2 が設けられ、共通信号線上における時分割多重化信号には同期信号が含まれないものである。共通信号線 1 1 やその他の制御線 1 4 2 は、一次元のみならず図 1 4 に示したようにほぼ 2 次元に配置してもよく、或いは、図 4 で述べたように図 1 4 中に一点鎖線で示すように共通信号線 1 1 及びその他の制御線 1 4 2 の始端と終端を連結して環状に接続してもよい。この場合は図 5、図 1 2 に示した実施例では終端の素子制御部からの逐次接続線を、始端の素子制御部のゲート信号生成部に初期化指示生成部 4 2 からの信号の代わりに接続すればよい。この場合は、マスタークロック 3 3 の周波数をオーバーサンプリング周波数の調度素子数倍にする必要がある。

10

[実施例 3]

多重信号分離装置も実施例 2 に示した逐次接続線を無くすることが可能である。逐次接続線を無くした実施例 3 を図 1 9 (作図上の都合により図 1 9 - 1 と図 1 9 - 2 に分かれているが、本来 1 個の物である) に示す。上記した多重信号分離装置の実施例 2 (図 1 2) の各素子制御部内に、信号多重化装置の実施例 3 (図 8) で示したものと同一ように、固有値カウンタ 8 0 a ~ 8 0 d を設けたものである。参照符号を同一とし動作説明は省略する。このように多重信号分離装置においても実施例 2 に示した各素子制御部内の分周回路を、固有値カウンタに置き換えることで、逐次接続線が必要でなくなる。

【 0 0 3 9 】

その結果、共通信号線 1 1 とリセット信号線 L R とマスタークロック線 L M C の 3 本の配線だけで、n 個の素子の信号を多重信号分離することができる。

20

以上述べたような構成において、オーバーサンプル低振幅分解能符号化によってデジタル化された信号が時分割多重化されて伝送される共通信号線上のデジタル信号を、オーバーサンプリングの 1 周期ごとに保持する過程により共通信号線上の信号を分離する多重信号分離方法が実現できる。

以上、この発明による信号多重化装置と多重信号分離装置を、マイクロホンとスピーカとからなる素子の例で説明を行って来たが、この発明は、これに限定されない。図 1 5 に示すように他のセンサを用いることも可能である。

【 0 0 4 0 】

図 1 5 (a) は、マイクロホンの代わりに温度センサを用いた素子を示している。温度センサ 1 5 0 を図 1 4 に示したように多数分散させて配置することで、部屋や比較的大きな物体の温度分布を細かく把握することが可能になる。室内温度は音ほど変化の速度が速く無いので、敢えてオーバーサンプリングで動作させる必要は無いが、この発明の特徴である少ない信号線で多数の情報を伝達できる特徴を生かすことができる。

30

図 1 5 (b) はマイクロホンの替りに加速度センサ 1 5 1 を用いた素子を示している。ロボット等には、多数の 3 軸の加速度センサが用いられる。そのような複数の情報を多数伝送する場合には、共通信号線を増やすことで対応可能である。単純に共通信号線の数を増やすことで、例えばロボット等の制御にこの発明を応用することもできる。

【 0 0 4 1 】

他のセンサの利用も考えられる。例えばペーハー (P H) センサを用い、河川の環境測定をするような場合にもこの発明が利用可能である。その場合はマスタークロックが数 K m に渡って配線されることが考えられるので、遅延及び損失の少ない光ファイバケーブルでマスタークロックを伝送する等の工夫は必要になる。しかし、そのような用途においても、この発明の技術思想はそのまま生かすことが可能である。

40

以上のようにこの発明の信号多重化装置及び多重信号分離装置によれば、伝送系の信号線をオーバーサンプル低振幅符号化デジタル信号の少ない信号線 (1 ~ 数 bit の共通信号線) だけで形成でき、個々の伝送信号に識別信号を必要としない、低コストで高速な時分割多重伝送が実現できる。

【 0 0 4 2 】

50

なお、上記した実施例では、1bit A/D変換及び1bit復号器の例で説明を行って来たが、オーバーサンプル低振幅分解能符号化技術によるA/D変換器及び復号器は3bit程度まで多bit化できることが周知である。振幅精度が求められるような場合は、2bitあるいは3bit化する場合も想定される。その場合は、上記説明した1bit A/D変換器と復号手段を単純に多bit化し、それぞれのbitに対して共通信号線を設ければ同じようにこの発明が実現可能である。

また、この発明の信号多重化装置の実施例1～3と、多重信号分離装置の実施例1～3とは、相互に独立した関係で組み合わせることが可能であり、どのように組み合わせてもこの発明の特徴である、構成が簡単で、伝送系の信号線の本数が最小で、また高速である効果を得ることが出来る。

10

【図面の簡単な説明】

【0043】

【図1】この発明による信号多重化装置の実施例1の機能構成例を示す図。

【図2】図1中の素子の一例（マイクロホン）を示す図。

【図3】図1中の制御部100の動作タイムチャートを示す図。

【図4】この発明による信号多重化装置の実施例2の機能構成例を示す図。

【図5-1】この発明による信号多重化装置の実施例2の具体構成例を示す図。

【図5-2】この発明による信号多重化装置の実施例2の具体構成例を示す図。

【図6】図5-1と図5-2の動作タイムチャートを示す図。

【図7】この発明による信号多重化装置の実施例3の機能構成例を示す図。

20

【図8-1】この発明による信号多重化装置の実施例3の具体的構成例を示す図。

【図8-2】この発明による信号多重化装置の実施例3の具体的構成例を示す図。

【図9】図8-1と図8-2の動作タイムチャートを示す図。

【図10】この発明による多重信号分離装置の実施例1の機能構成例を示す図。

【図11】図10中の素子の一例（スピーカ）を示す図。

【図12-1】この発明による多重信号分離装置の実施例2の機能構成例を示す図。

【図12-2】この発明による多重信号分離装置の実施例2の機能構成例を示す図。

【図13】図12の動作タイムチャートを示す図。

【図14】この発明の信号多重化装置又は多重信号分離装置の適用例を示す図。

【図15】他の素子の例を示す図。

30

【図16】従来のオーバーサンプル低振幅符号化技術による1bit A/D変換器の例を示す図。

【図17】従来のオーバーサンプル1bit復号化手段を示す図。

【図18】従来の多チャンネル符号化装置を示す図。

【図19-1】この発明による多重信号分離装置の実施例3の具体的構成例を示す図。

【図19-2】この発明による多重信号分離装置の実施例3の具体的構成例を示す図。

【 図 1 】

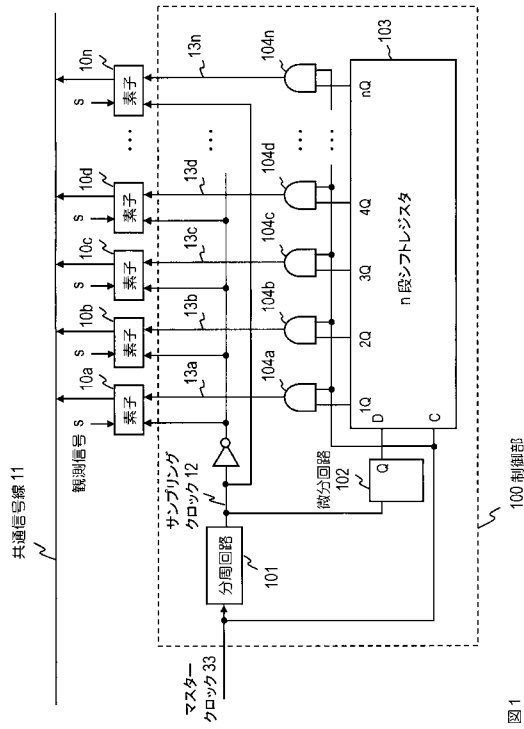


図 1

【 図 2 】

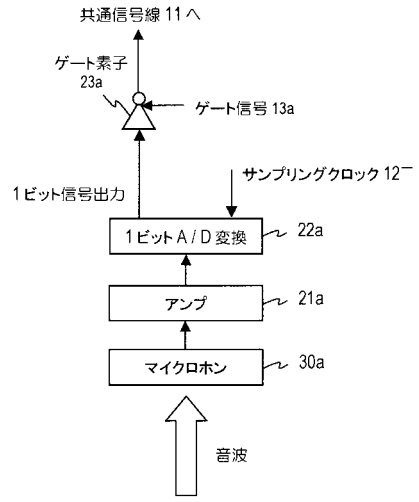


図 2

【 図 3 】

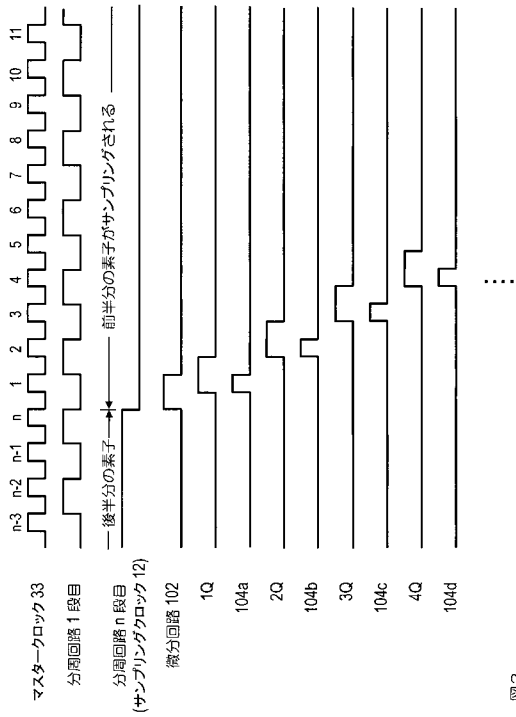


図 3

【 図 4 】

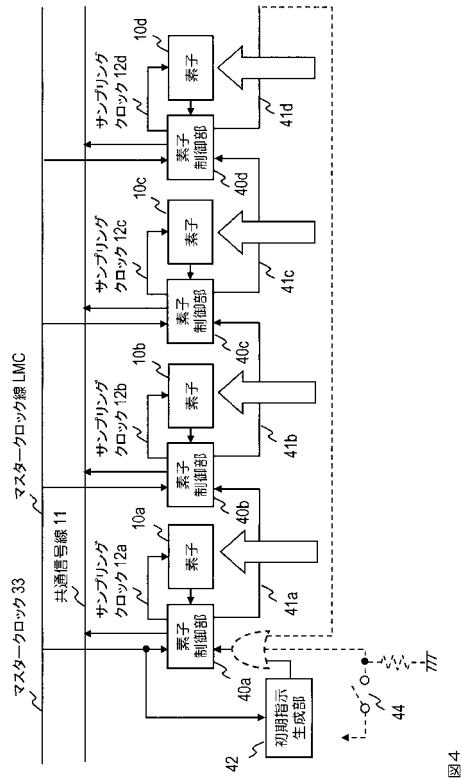
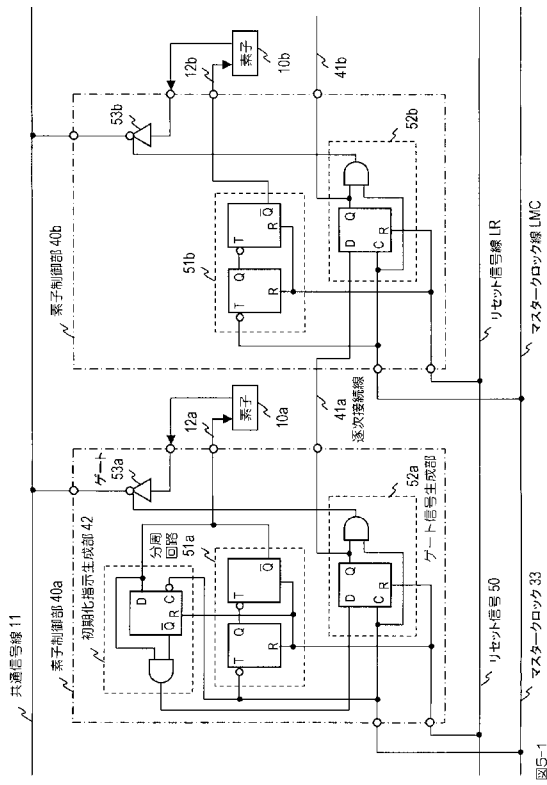
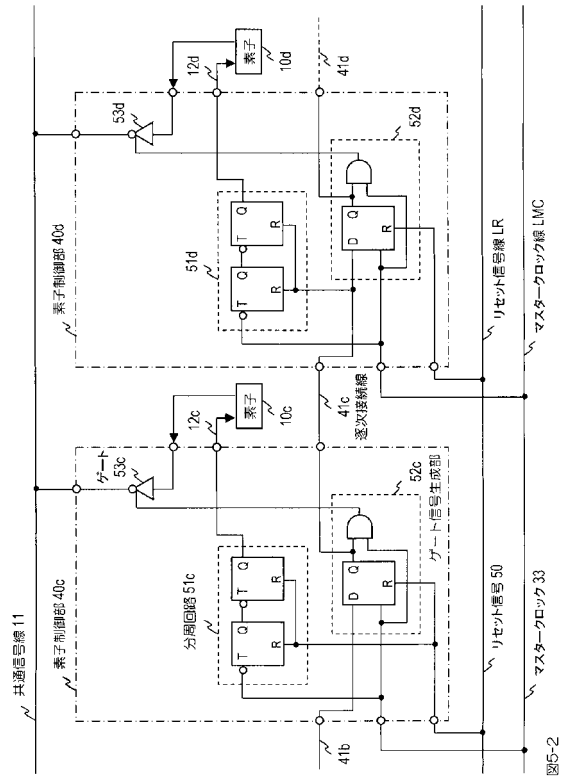


図 4

【 図 5 - 1 】



【 図 5 - 2 】



【 図 6 】

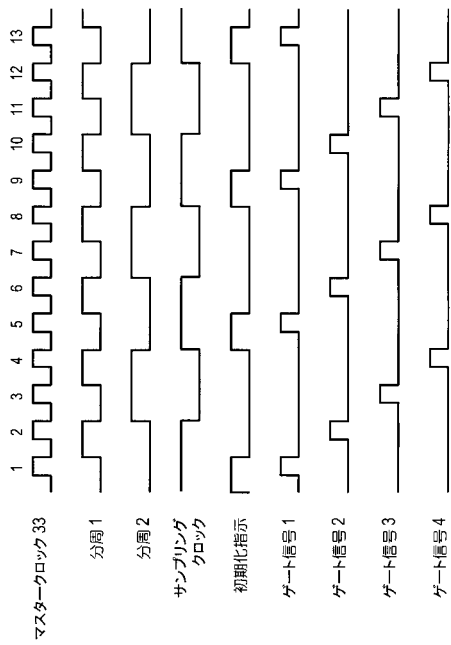


図6

【 図 7 】

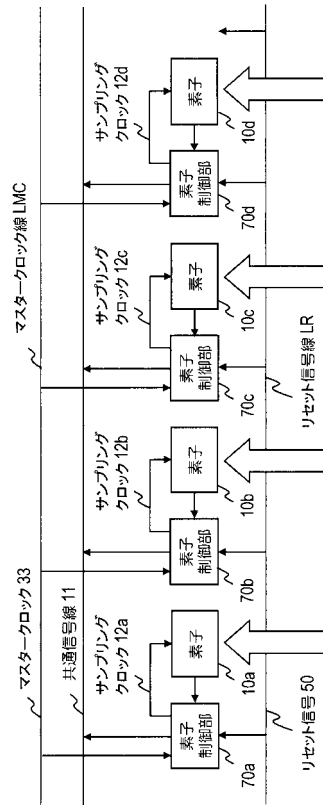


図7

【図 8 - 1】

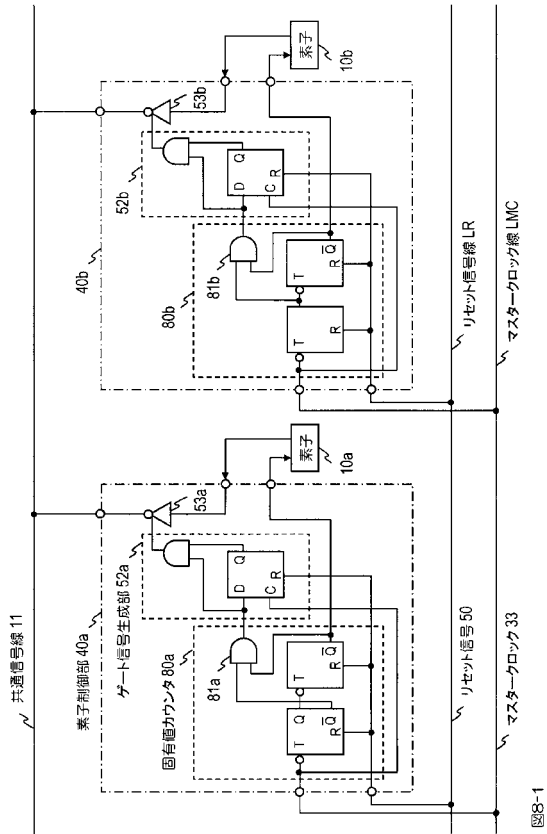


図8-1

【図 8 - 2】

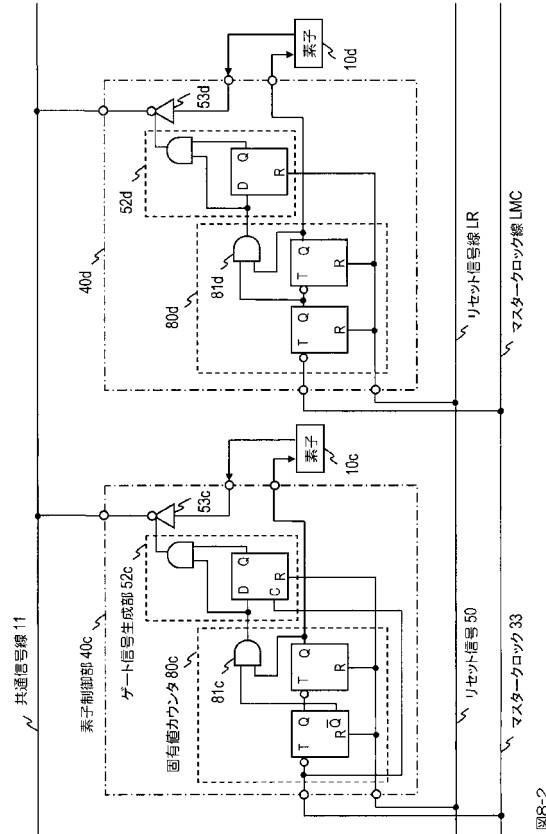


図8-2

【図 9】

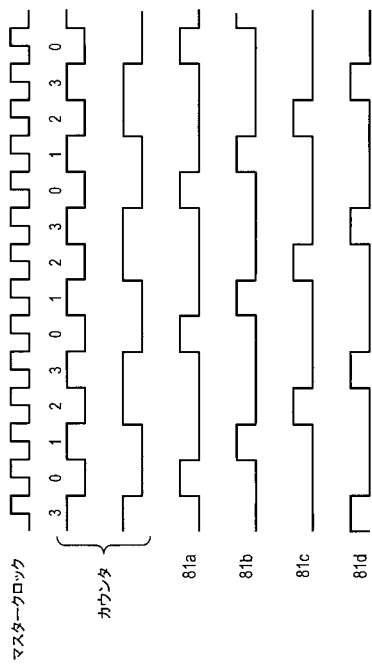


図9

【図 10】

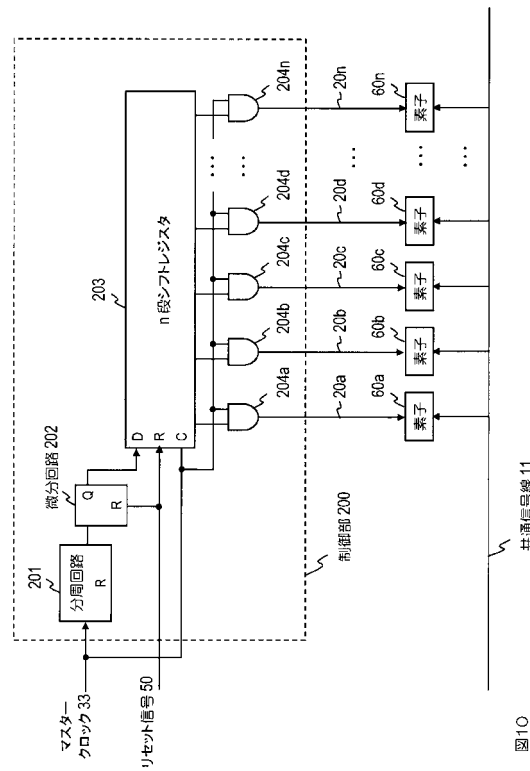


図10

【図11】

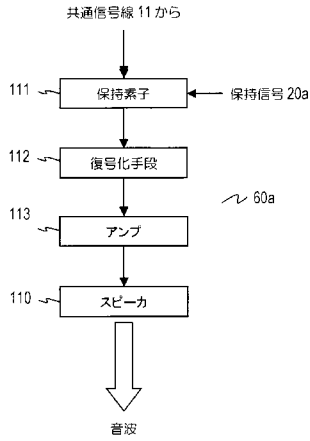


図11

【図12-1】

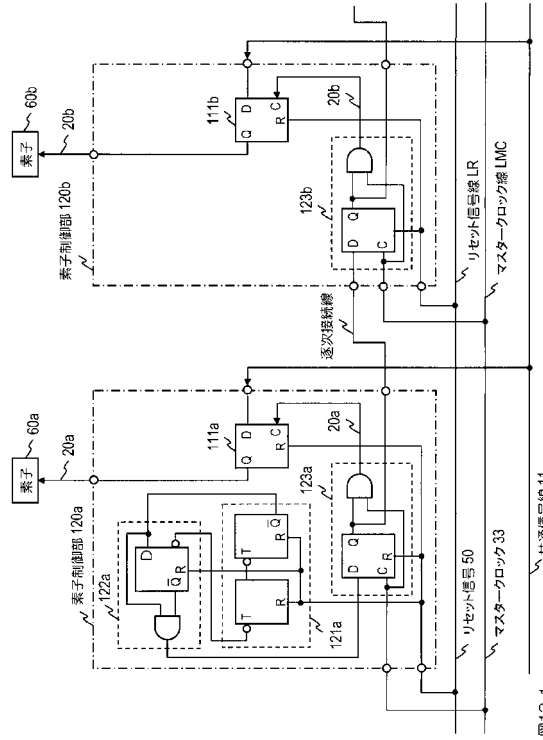


図12-1

【図12-2】

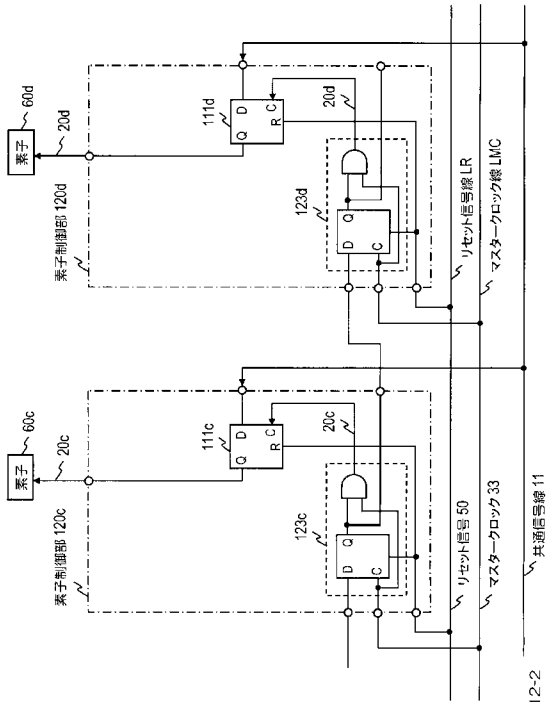


図12-2

【図13】

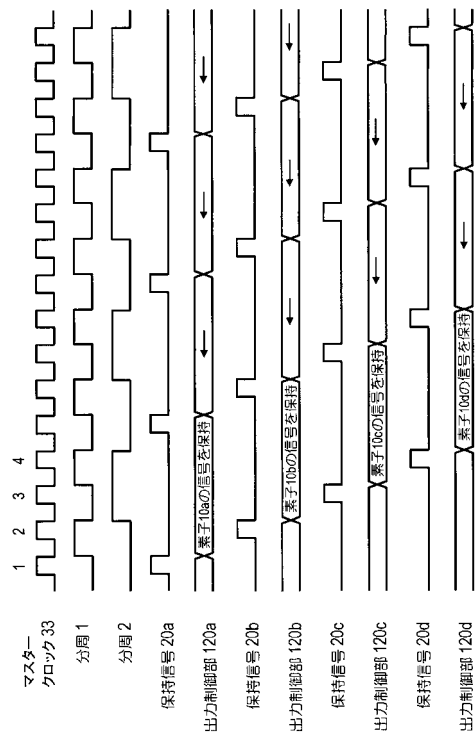


図13

【 図 1 4 】

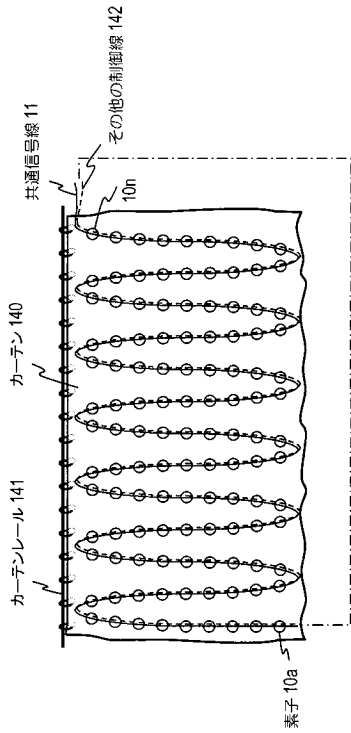


図14

【 図 1 5 】

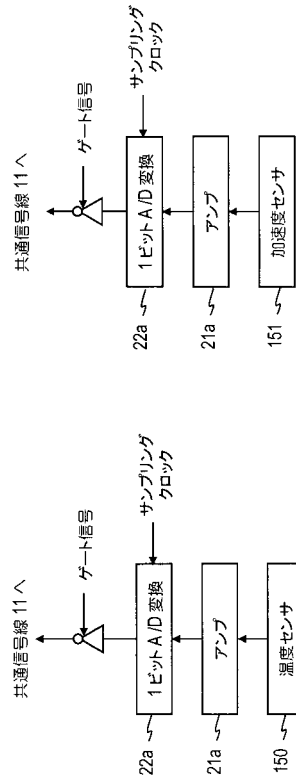


図15 (a)

図15 (b)

【 図 1 6 】

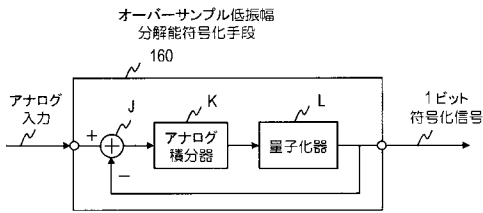


図16

【 図 1 7 】

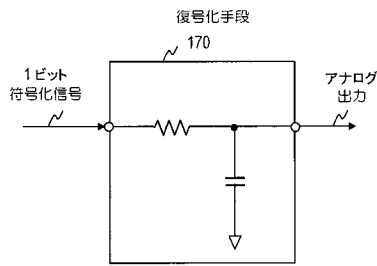


図17

【 図 1 8 】

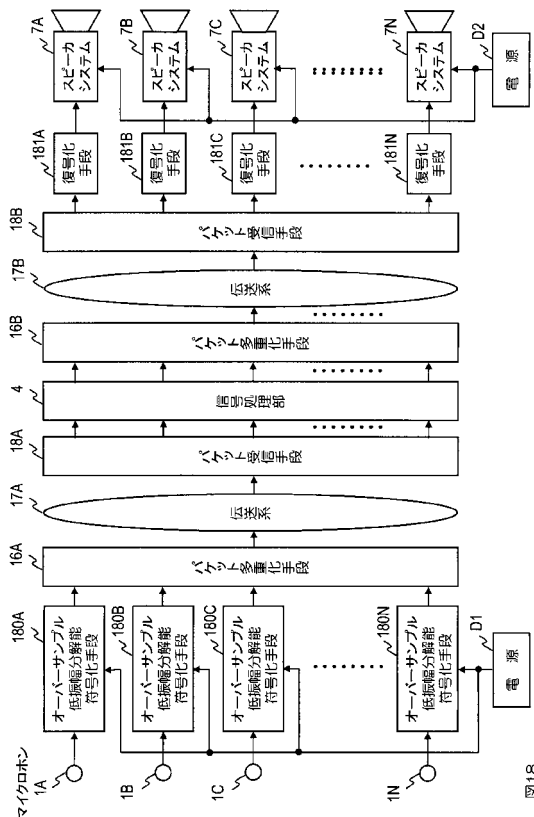


図18

【図19-1】

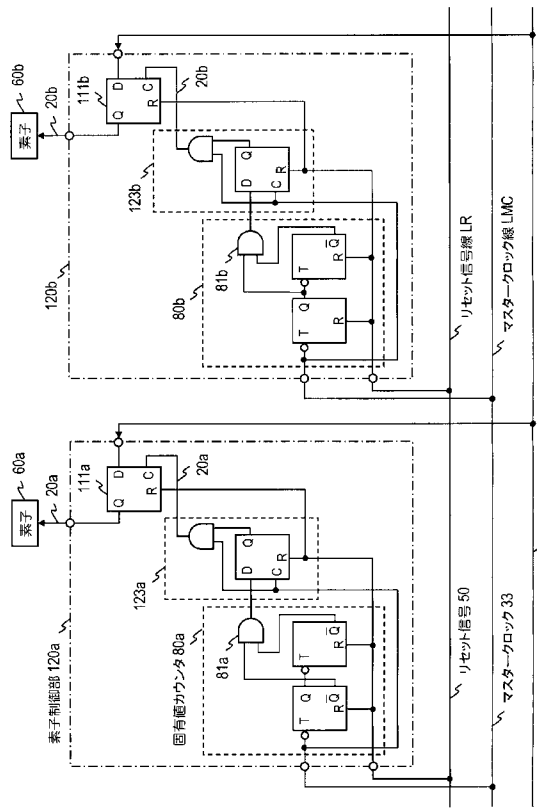


図19-1

【図19-2】

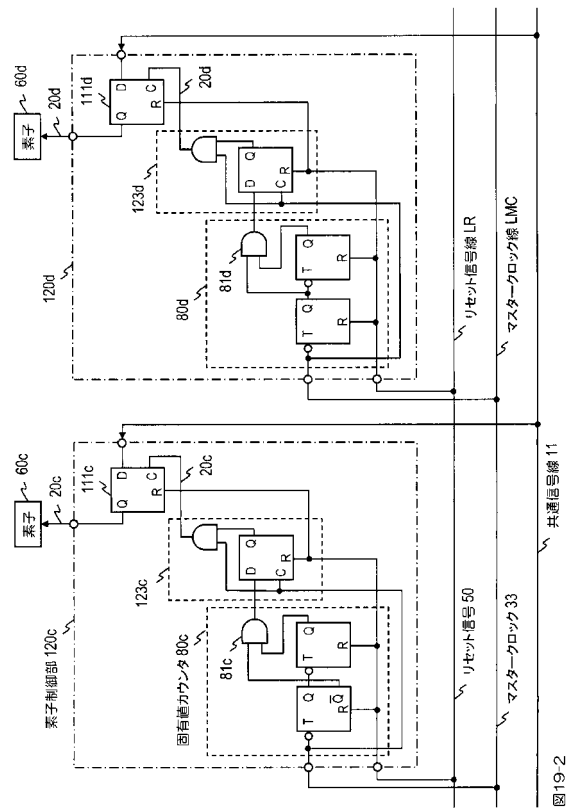


図19-2

フロントページの続き

(72)発明者 鎌本 優

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

(72)発明者 松谷 康之

東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

審査官 白井 亮

(56)参考文献 特開平09-223971(JP,A)

特開平10-145232(JP,A)

特開2005-057467(JP,A)

特開2004-191545(JP,A)

特開昭59-200554(JP,A)

特開2003-196230(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04J 3/00 - 3/26

H04L 5/22 - 5/26