

(19)日本国特許庁(JP)

(12)特許公報 ( B )

(11)特許出願公告番号

特公昭62 - 30451

(24)(44)公告日 昭和62年(1987)7月2日

(51)Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 7/50

発明の数 1

(全4頁)

(21)出願番号 特願昭56-32277

(22)出願日 昭和56年(1981)3月6日

(65)公開番号 特開昭57-147754

(43)公開日 昭和57年(1982)9月11日

(71)出願人 000000422  
日本電信電話 (株)

\*

(72)発明者 守谷 健弘

\*

(72)発明者 赤沢 幸雄

\*

(72)発明者 岩田 穆

\*

(74)代理人 代理人コード : 7376

(54)【発明の名称】 デジタル並列加算器

1

2

【特許請求の範囲】 次の頁からクレームは始まります。

【特許請求の範囲】

1 複数個の部分加算器からなり、各部分加算器は上位の桁に対応する部分加算器に向い順次大きな桁数の加算を行なう構成を有し、上記各部分加算器（例えば被加数  $A_0 \dots A_{o+n}$ 、加数  $B_0 \dots B_{o+n}$  の桁の加算を行なう部分加算器）は、下に位置する部分加算器からの桁上げがそれぞれ“0”および“1”であるとして本部分加算器の各桁の入力（ $A_0 \dots A_{o+n}$ 、 $B_0 \dots B_{o+n}$ ）から各桁の桁上げ出力の第1の候補（ $C^0_0 \dots C^0_{o+n}$ ）および第2の候補（ $C^1_0 \dots C^1_{o+n}$ ）を求める第1および第2の回路と、下に位置する部分加算器の最上位桁の真の桁上げ（ $C_{o-1}$ ）により上記第1および第2の回路からの桁上げ候補から真の桁上げ（ $C_0 \dots C_{o+n}$ ）を選択出力する第3の回路と、各桁の入力（ $A_0 \dots A_{o+n}$ 、 $B_0 \dots B_{o+n}$ ）と上記第3の回路からの真の桁上げから和（ $S_0 \dots S_{o+n}$ ）を求める加算回路とからなることを特徴とするデジタル並列加算器。

2 特許請求の範囲第1項記載の加算器において、下位の部分加算器の最上位桁の桁上げは“0”であるとして  $A_0 \dots A_{o+n}$ 、 $B_0 \dots B_{o+n}$  から和の候補  $S^0_0 \dots S^0_{o+n}$  と最上位の桁上げの候補  $C^0_{o+n}$  を求める加算回路と、下位からの桁上げ

は“1”であるとして  $A_0 \dots A_{o+n}$ 、 $B_0 \dots B_{o+n}$  から  $S^1_0 \dots S^1_{o+n}$  と  $C^1_{o+n}$  を求める加算回路と、下位の部分加算器の最上位の桁の真の桁上げで和と桁上げの候補から真の和  $S_0 \dots S_{o+n}$ 、真の桁上げ  $C_{o+n}$  を選択する論理回路とから成る部分加算器を最上位または最上位近くの部分加算器として有することを特徴とするデジタル並列加算器。

【発明の詳細な説明】

本発明はデジタル計算機等に用いられる並列入力並列出力のデジタル並列加算器に関する。

一般的なデジタル並列加算器は、下位の桁上げ出力を上位の桁上げ入力として全加算器を順次接続して構成しているが、この動作速度は最下位桁から最上位桁までへ至る桁上げ動作の速度で決まる。従来、高速演算を達成するために、桁上げ情報だけをCLA（キャリー・ルック・アヘッド）回路あるいは桁上げ先見回路などの独立の論理回路で上位の桁の加算器に送る方法が採られている。ところが、このCLA回路は先見の桁数の増加とともに急激に回路規模が増大するため、4桁程度ごとに設けるか、4桁を単位として階層的に接続することで回路規模の増大を押さえて、速度改善の程度を妥協せざるを得なかつた。集積回

30  
40

路として実現する際、特にMOS系の論理素子ではCLA回路で多数必要となる多入力論理素子の遅延が大きく、面積も大きくなるため、高速化、高集積化には問題があった。

このような問題を避ける方法として、従来においてもCLAを使わない高速桁上げ法が提案されている。これは2進数の演算では、桁上げの値は“0”か“1”であることを利用して、2つの加算結果候補を真の桁上げで選択する方法であり、Conditional Sum AdderとCarry Select Adderと呼ばれている。前者はn桁の加算を $\log_2 n$ 段の選択と1段の加算で実行できるが、2進木状の $n \log_2 n$ 個の選択回路と2n個の加算器を要するため、回路規模が増大するといった問題があり、後者は全体を等しい桁数の部分加算器に分割して、2種の候補から次次桁上げで選択する構成であるが、CLAを併用しても充分に高速化がはかられない問題がある。

本発明は、下位からの桁上げが“0”と“1”の場合に対応して予め2つの独立な結果を予測して桁上げ速度の高速化をはかる加算器において、回路規模を小さくしたまゝ、多入力論理素子を使用せず、動作速度を改善するため、部分加算器内の遅延と下位の部分加算器から順次伝搬する信号の遅延が一致するよう各部分加算器の構成を最適化するもので、以下、図面に従って詳細に説明する。

第1図は本発明の基本原理を示す一実施例で、2個の部分加算器、即ち最下位1桁の部分加算器、次が2桁分の部分加算器からなり、計3桁が並列加算器である。 $A_0, A_1, A_2$ および $B_0, B_1, B_2$ は3桁の被加数、加数であり、下位からの桁上げ $C_{1N}$ とから和 $S_0, S_1, S_2$ と次段への桁上げ $C_{OUT}$ を出力する機能を有する。11, 12, 15, 16, 19および20は桁上げ論理回路であり、第2図aに示すごとく、被加数A、加数B、桁上げ入力 $C_{1N}$ から

$$C_{OUT} = \{ (A \oplus B) \oplus (A \oplus C_{1N}) \oplus (B \oplus C_{1N}) \}$$

という桁上げを出力する。13, 17および21は加算回路であり、第2図bに示すごとく、被加数A、加数B、桁上げ入力Cから

$$S = A \oplus B \oplus C$$

なる和を出力する。桁上げ論理回路11および1

5は下位からの桁上げが“1”であるとして対応の桁の桁上げ候補 $C^1_0, C^1_1$ を出力する。桁上げ論理回路19は桁上げ論理回路15の出力を入力として桁上げ候補 $C^1_2$ を出力する。桁上げ論理回路12および16は下位からの桁上げが“0”であるとして対応の桁の桁上げ候補 $C^0_0, C^0_1$ を出力する。桁上げ論理回路20は桁上げ論理回路16の出力を入力として桁上げ候補 $C^0_2$ を出力する。

14, 18および22は選択回路であり、対応の桁の桁上げ候補が入力され、第2図cに示すごとく、

$$C = (C_1 \overline{C_S}) \oplus (C_2 \oplus C_S)$$

のごとく2つの桁上げ候補の一方を選択し、真の桁上げを出力する。下位の部分加算器の最上位桁の真の桁上げは上位の部分加算器の選択回路へ入力されるように構成されるので、選択回路14からの真の桁上げ $C_0$ は選択回路18および22へ入力される。また選択回路からの真の桁上げは1桁上位の加算回路へも入力される。

以下、説明の便のため、各ブロックの入力から出力への遅延時間をすべて同一(T)とし、選択回路には遅れはないとして回路動作を時間を追って説明する。

$$t = 0 : C_{1N}, A_0, A_1, A_2, B_0, B_1, B_2$$

の7つの入力を定める。

$t = T$  : 和 $S_0$ 、桁上げ候補 $C^1_0, C^0_0$ が定まり、さらに真の桁上げ $C_0$ が求まる。さらには桁上げ候補 $C^1_1, C^0_1$ も求まっている。

$t = 2T$  :  $t = T$ で $C_0, C^1_1, C^0_1$ が求めついているから、和 $S_1$ 、真の桁上げ $C_1$ が求まる。また $C^1_2, C^0_2$ が定まり、 $C_0$ が定まっているから $C_{OUT}$ も定まる。

$$t = 3T : C_1 \text{ から和 } S_2 \text{ が定まる。}$$

即ち、下位からの桁上げ $C_{1N}$ が選択回路14を切りかえる間に桁上げ候補の $C^1_0, C^0_0$ が求まっている、結果として無駄なく真の桁上げ $C_0$ が決まる。2番目の部分加算で桁上げ候補が $C^1_1, C^1_2$ あるいは $C^0_1, C^0_2$ と順次決まる間に、それと並行して $C_{1N}, C_0$ と下位の部分加算器の出力が決まり、その結果が同時に $C_{OUT}$ の出力として定まる。これを拡張すると、さらに上位の部分加算器に3桁( $A_3, \dots, A_5, B_3, \dots, B_5$ )のものを配置することで、6桁目の桁上げ $C_5$ は次のタイミングつまり $t = 3T$ で定まることになる。6桁目の和 $S_5$

はさらに次のタイミングで  $t = 4T$  となり、一般にこの実施例の桁上げ回路のみ 2 重に用意した部分加算器を順次拡張すると、 $\{(n+1) \cdot n / 2\}$  桁の加算を  $(n+1)T$  で実行できる。

さらに、最上位の部分加算器に桁上げ回路だけでなく加算回路も 2 重に用意したもので桁数がひとつ下位の部分加算器と等しいものを配置することで  $\{(n+1) \cdot n / 2 - 1\}$  桁の加算を  $nT$  で済ませることができて、さらに効率化できる。

第 3 図は第 1 図の例を 27 桁の加算器に拡張した例を示す。図において、31 ~ 36 はそれぞれ各部分加算器における最上位桁の選択回路を示し、 $A_0, B_0 \sim A_{26}, B_{26}$  が入力されているブロックはそれぞれ各桁の 2 個の桁上げ論理回路を示す。各部分加算器における最上位桁以外の選択回路と各桁の加算回路は簡単のために省略されている。第 3 図から明らかなように 27 桁の加算器は 7 個の部分加算器からなり、上位の桁に対応する部分加算器に向い順次大きな桁数の加算を行なう構成となっている。

動作において、 $t = 4T$  までについては上述した通りである。 $t = 5T$  において、 $C_{1N}, C_0, C_2, C_5, C_9, C_{14}$  と第 3 図の縦方向に真の桁上げ  $C_{14}$  が決まり、横方向に桁上げ候補  $C^1_{15}, C^1_{16}, C^1_{17}, C^1_{18}, C^1_{19}$  と  $C^0_{15}, C^0_{16}, C^0_{17}, C^0_{18}, C^0_{19}$  と  $C^1_{19}$  と  $C^0_{19}$  が決まる。 $t = 6T$  において、真の桁上げ  $C_{14}$  により  $C_{15}$  から  $C_{19}$  までが一挙に定まり、さらに桁上げ候補  $C^1_{20}, C^0_{20}$  が定まり、そのまゝ一方が真の桁上げ  $C_{20}$  になる。これと同時に第 3 図最下段の部分加算器では  $C^1_{25}$  から  $C^1_{26}$  および  $C^0_{25}$  から  $C^0_{26}$  が定まる。 $t = 7T$  において、真の桁上げ  $C_{15} \sim C_{19}$  から和  $S_{16} \sim S_{20}, C_{20}$  から  $S_{21} \sim S_{26}$  と下 2 段の部分加算器のすべての和が同時に定まる。このように、桁上げを二次元的に無駄なく上位へ送っているわけである。回路規模は大部分の部分加算器が桁上げ回路だけ 2 倍で、選択回路の増加を考慮すると従来の最も基本的な順次桁上げ加算

器の 2 倍にしなければならない。

以上説明したように本加算器は、桁上げ信号を無駄なく二次元的に上位に送ることができるため、小さな回路規模で高速演算ができるという利点がある。特に MOS 系の集積回路に適用する際、多入力論理素子 (3 入力以上) を全く必要としないことと、素子占有面積をあまり必要としないトランスマツションゲートを有効に用いて機能を実現するという点で占有面積の低減がはかれること、および動作の高速化がはかれるという特徴がある。

上記の効果を具体的に比較すると次の通りである。桁数を  $n$  とすると、従来の基本的な加算器は  $2 \times n \times tpd$  の速度、回路規模は  $n \times [2 \text{ 桁全加算器}]$  となる。4 桁の CLA 回路を用いたものでは、 $(\log_4 n) \times (4 \cdot tpd)$  の速度、回路規模は約  $3 \times n \times [2 \text{ 桁全加算器}]$  となる。CLA 回路を用いたものは多入力の論理回路を用いざるを得ず、その速度が通常のものより 4 倍として (4tpd) とした。又、対数の底は 4 桁の CLA 回路としたため 4 となる。これに対し本発明による加算器では、前にも述べた通り  $2 \cdot n \cdot tpd$  の速度、 $2n \times [2 \text{ 桁全加算器}]$  の回路規模となり、その効果は明らかである。

本加算回路は、多入力の加算回路、並列乗算器等にも適用可能であり広くデジタル計算機システム、通信機システム等にも有効である。

【図面の簡単な説明】

第 1 図は本発明の基本原則を示す 3 ビット 2 入力加算器のブロック図、第 2 図 a, b, c はそれぞれ桁上げ論理回路、加算回路、選択回路とその論理を示す図、第 3 図は本発明の一実施例で、27 ビット 2 入力加算器のブロック図である。

11, 12, 15, 16, 19 および 20 ..... 桁上げ論理回路、13, 17 および 21 ..... 加算回路、14, 18 および 22 ..... 選択回路。

10

20

30

40

⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

昭62-30451

⑬ Int. Cl.<sup>4</sup>  
G 06 F 7/50

識別記号 庁内整理番号  
K-6798-5B

⑭ 公告 昭和62年(1987)7月2日

発明の数 1 (全4頁)

⑮ 発明の名称 デジタル並列加算器

⑯ 特 願 昭56-32277

⑰ 公 開 昭57-147754

⑱ 出 願 昭56(1981)3月6日

⑲ 昭57(1982)9月11日

⑳ 発 明 者 守 谷 健 弘 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

㉑ 発 明 者 赤 沢 幸 雄 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

㉒ 発 明 者 岩 田 穆 武蔵野市緑町3丁目9番11号 日本電信電話公社武蔵野電気通信研究所内

㉓ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉔ 代 理 人 弁理士 鈴木 誠

審 査 官 森 繁 明

1

2

㉕ 特許請求の範囲

1 複数個の部分加算器からなり、各部分加算器は上位の桁に対応する部分加算器に向い順次大きな桁数の加算を行なう構成を有し、上記各部分加算器(例えば被加数 $A_n \dots A_{n+m}$ 、加数 $B_n \dots B_{n+m}$ の桁の加算を行なう部分加算器)は、下位に位置する部分加算器からの桁上げがそれぞれ“0”および“1”であるとして本部分加算器の各桁の入力( $A_n \dots A_{n+m}$ 、 $B_n \dots B_{n+m}$ )から各桁の桁上げ出力の第1の候補( $C_n^0 \dots C_{n+m}^0$ )および第2の候補( $C_n^1 \dots C_{n+m}^1$ )を求める第1および第2の回路と、下位に位置する部分加算器の最上位桁の真の桁上げ( $C_{n-1}$ )により上記第1および第2の回路からの桁上げ候補から真の桁上げ( $C_n \dots C_{n+m}$ )を選択出力する第3の回路と、各桁の入力( $A_n \dots A_{n+m}$ 、 $B_n \dots B_{n+m}$ )と上記第3の回路からの真の桁上げから和( $S_n \dots S_{n+m}$ )を求める加算回路とからなることを特徴とするデジタル並列加算器。

2 特許請求の範囲第1項記載の加算器において、下位の部分加算器の最上位桁の桁上げは“0”であるとして $A_n \dots A_{n+m}$ 、 $B_n \dots B_{n+m}$ から和の候補 $S_n^0 \dots S_{n+m}^0$ と最上位の桁上げの候補 $C_{n-m}^0$ を求める加算回路と、下位からの桁上げ

は“1”であるとして $A_n \dots A_{n+m}$ 、 $B_n \dots B_{n+m}$ から $S_n^1 \dots S_{n+m}^1$ と $C_{n+m}^1$ を求める加算回路と、下位の部分加算器の最上位の桁の真の桁上げで和と桁上げの候補から真の和 $S_n \dots S_{n+m}$ 、真の桁上げ $C_{n+m}$ を選択する論理回路とから成る部分加算器を最上位または最上位近くの部分加算器として有することを特徴とするデジタル並列加算器。

発明の詳細な説明

本発明はデジタル計算機等に用いられる並列入力並列出力のデジタル並列加算器に関する。

一般的なデジタル並列加算器は、下位の桁上げ出力を上位の桁上げ入力として全加算器を順次接続して構成しているが、この動作速度は最下位桁から最上位桁までへ至る桁上げ動作の速度で決まる。従来、高速演算を達成するために、桁上げ情報だけをCLA(キャリー・ルック・アヘッド)回路あるいは桁上げ先見回路などの独立の論理回路で上位の桁の加算器に送る方法が採られている。ところが、このCLA回路は先見の桁数の増加とともに急激に回路規模が増大するため、4桁程度ごとに設けるか、4桁を単位として階層的に接続することで回路規模の増大を押さえて、速度改善の程度を妥協せざるを得なかつた。集積回

(2)

特公 昭 62-30451

3

4

路として実現する際、特にMOS系の論理素子ではCLA回路で多数必要となる多入力論理素子の遅延が大きく、面積も大きくなるため、高速化、高集積化には問題があった。

このような問題を避ける方法として、従来においてもCLAを使わない高速桁上げ法が提案されている。これは2進数の演算では、桁上げの値は“0”か“1”であることを利用して、2つの加算結果候補を真の桁上げで選択する方法であり、Conditional Sum AdderとCarry Select Adderと呼ばれている。前者はn桁の加算をlog<sub>2</sub>n段の選択と1段の加算で実行できるが、2進木状のnlog<sub>2</sub>n個の選択回路と2n個の加算器を要するため、回路規模が増大するといった問題があり、後者は全体を等しい桁数の部分加算器に分割して、2種の候補から次次桁上げで選択する構成であるが、CLAを併用しても十分に高速化がはかられない問題がある。

本発明は、下位からの桁上げが“0”と“1”の場合に対応して予め2つの独立な結果を予測して桁上げ速度の高速化をはかる加算器において、回路規模を小さくしたまゝ、多入力論理素子を使用せず、動作速度を改善するため、部分加算器内の遅延と下位の部分加算器から順次伝搬する信号の遅延が一致するよう各部分加算器の構成を最適化するもので、以下、図面に従って詳細に説明する。

第1図は本発明の基本原理を示す一実施例で、2個の部分加算器、即ち最下位1桁の部分加算器、次が2桁部分の部分加算器からなり、計3桁が並列加算器である。A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub>およびB<sub>0</sub>、B<sub>1</sub>、B<sub>2</sub>は3桁の被加数、加数であり、下位からの桁上げC<sub>1N</sub>とから和S<sub>0</sub>、S<sub>1</sub>、S<sub>2</sub>と次段への桁上げC<sub>OUT</sub>を出力する機能を有する。11、12、15、16、19および20は桁上げ論理回路であり、第2図aに示すごとく、被加数A、加数B、桁上げ入力C<sub>1N</sub>から

$$C_{OUT} = \{(A \cap B) \cup (A \cap C_{1N}) \cup (B \cap C_{1N})\}$$

という桁上げを出力する。13、17および21は加算回路であり、第2図bに示すごとく、被加数A、加数B、桁上げ入力Cから

$$S = A \oplus B \oplus C$$

なる和を出力する。桁上げ論理回路11および1

5は下位からの桁上げが“1”であるとして対応の桁の桁上げ候補C<sub>0</sub>、C<sub>1</sub>を出力する。桁上げ論理回路19は桁上げ論理回路15の出力を入力として桁上げ候補C<sub>2</sub>を出力する。桁上げ論理回路12および16は下位からの桁上げが“0”であるとして対応の桁の桁上げ候補C<sub>0</sub>、C<sub>1</sub>を出力する。桁上げ論理回路20は桁上げ論理回路16の出力を入力として桁上げ候補C<sub>2</sub>を出力する。

14、18および22は選択回路であり、対応の桁の桁上げ候補が入力され、第2図cに示すごとく、

$$C = (C_1 \cap \bar{C}_2) \cup (C_2 \cap C_1)$$

のごとく2つの桁上げ候補の一方を選択し、真の桁上げを出力する。下位の部分加算器の最上位桁の真の桁上げは上位の部分加算器の選択回路へ入力されるように構成されるので、選択回路14からの真の桁上げC<sub>0</sub>は選択回路18および22へ入力される。また選択回路からの真の桁上げは1桁上位の加算回路へも入力される。

以下、説明の便のため、各ブロックの入力から出力への遅延時間をすべて同一(T)とし、選択回路には遅れはないとして回路動作を時間を追って説明する。

$$t = 0 : C_{1N}, A_0, A_1, A_2, B_0, B_1, B_2$$

の7つの入力を定める。

t = T : 和S<sub>0</sub>、桁上げ候補C<sub>0</sub>、C<sub>1</sub>が定まり、さらに真の桁上げC<sub>0</sub>が求まる。さらには桁上げ候補C<sub>1</sub>、C<sub>1</sub>も求まっている。

t = 2T : t = TでC<sub>0</sub>、C<sub>1</sub>、C<sub>1</sub>が求めついているから、和S<sub>1</sub>、真の桁上げC<sub>1</sub>が求まる。またC<sub>2</sub>、C<sub>2</sub>が定まり、C<sub>0</sub>が定まっているからC<sub>OUT</sub>も定まる。

$$t = 3T : C_1 \text{ から和 } S_2 \text{ が定まる。}$$

即ち、下位からの桁上げC<sub>1N</sub>が選択回路14を切りかえる間に桁上げ候補のC<sub>0</sub>、C<sub>1</sub>が求まっている、結果として無駄なく真の桁上げC<sub>0</sub>が決まる。2番目の部分加算で桁上げ候補がC<sub>1</sub>→C<sub>2</sub>あるいはC<sub>1</sub>→C<sub>2</sub>と順次決まる間に、それと並行してC<sub>1N</sub>→C<sub>0</sub>と下位の部分加算器の出力が決まり、その結果が同時にC<sub>OUT</sub>の出力として定まる。これを拡張すると、さらに上位の部分加算器に3桁(A<sub>3</sub>……A<sub>5</sub>、B<sub>3</sub>……B<sub>5</sub>)のものを配置することで、6桁目の桁上げC<sub>5</sub>は次のタイミングつまりt = 3Tで定まることになる。6桁目の和S<sub>5</sub>

5

6

はさらに次のタイミングで  $t = 4T$  となり、一般にこの実施例の桁上げ回路のみ2重に用意した部分加算器を順次拡張すると、 $\{(n+1) \cdot n / 2\}$  桁の加算を  $(n+1) T$  で実行できる。

さらに、最上位の部分加算器に桁上げ回路だけでなく加算回路も2重に用意したもので桁数がひとつ下位の部分加算器と等しいものを配置することで  $\{(n+1) n / 2 - 1\}$  桁の加算を  $nT$  で済ませることができて、さらに効率化できる。

第3図は第1図の例を27桁の加算器に拡張した例を示す。図において、31~36はそれぞれ各部分加算器における最上位桁の選択回路を示し、 $A_0, B_0 \sim A_{26}, B_{26}$  が入力されているブロックはそれぞれ各桁の2個の桁上げ論理回路を示す。各部分加算器における最上位桁以外の選択回路と各桁の加算回路は簡単のために省略されている。第3図から明らかなように27桁の加算器は7個の部分加算器からなり、上位の桁に対応する部分加算器に向い順次大きな桁数の加算を行なう構成となっている。

動作において、 $t = 4T$  までについては上述した通りである。 $t = 5T$  において、 $C_{1n} \rightarrow C_0 \rightarrow C_2 \rightarrow C_3 \rightarrow C_9 \rightarrow C_{14}$  と第3図の縦方向に真の桁上げ  $C_{14}$  が決まり、横方向に桁上げ候補  $C_{15} \rightarrow C_{16} \rightarrow C_{17} \rightarrow C_{18} \rightarrow C_{19} \rightarrow C_{15} \rightarrow C_{16} \rightarrow C_{17} \rightarrow C_{18} \rightarrow C_{19}$  と  $C_{15}$  と  $C_{19}$  が決まる。 $t = 6T$  において、真の桁上げ  $C_{14}$  により  $C_{15}$  から  $C_{19}$  までが一挙に定まり、さらに桁上げ候補  $C_{20}, C_{20}$  が定まり、そのまゝ一方が真の桁上げ  $C_{20}$  になる。これと同時に第3図最下段の部分加算器では  $C_{25}$  から  $C_{26}$  および  $C_{25}$  から  $C_{26}$  が定まる。 $t = 7T$  において、真の桁上げ  $C_{15} \sim C_{19}$  から和  $S_{16} \sim S_{20}, C_{20}$  から  $S_{21} \sim S_{26}$  と下2段の部分加算器のすべての和が同時に定まる。このように、桁上げを二次元的に無駄なく上位へ送っているわけである。回路規模は大部分の部分加算器が桁上げ回路だけ2倍で、選択回路の増加を考慮すると従来の最も基本的な順次桁上げ加算

器の2倍にしかない。

以上説明したように本加算器は、桁上げ信号を無駄なく二次元的に上位に送ることができるため、小さな回路規模で高速演算ができるという利点がある。特にMOS系の集積回路に適用する際、多入力論理素子(3入力以上)を全く必要としないことと、素子占有面積をあまり必要としないトランスマッションゲートを有効に用いて機能を実現しようという点で占有面積の低減がはかれること、および動作の高速化がはかれるという特徴がある。

上記の効果を具体的に比較すると次の通りである。桁数を  $n$  とすると、従来の基本的な加算器は  $2 \times n \times tpd$  の速度、回路規模は  $n \times \{2 \text{桁全加算器}\}$  となる。4桁のCLA回路を用いたものは、 $(\log_4 n) \times (4 \cdot tpd)$  の速度、回路規模は約  $3 \times n \times \{2 \text{桁全加算器}\}$  となる。CLA回路を用いたものは多入力の論理回路を用いざるを得ず、その速度が通常のものより4倍として  $(4tpd)$  とした。又、対数の底は4桁のCLA回路としたため4となる。これに対し本発明による加算器では、前にも述べた通り  $\sqrt{2 \cdot n} tpd$  の速度、 $2n \times \{2 \text{桁全加算器}\}$  の回路規模となり、その効果は明らかである。

本加算回路は、多入力の加算回路、並列乗算器等にも適用可能であり広くデジタル計算機システム、通信機システム等にも有効である。

図面の簡単な説明

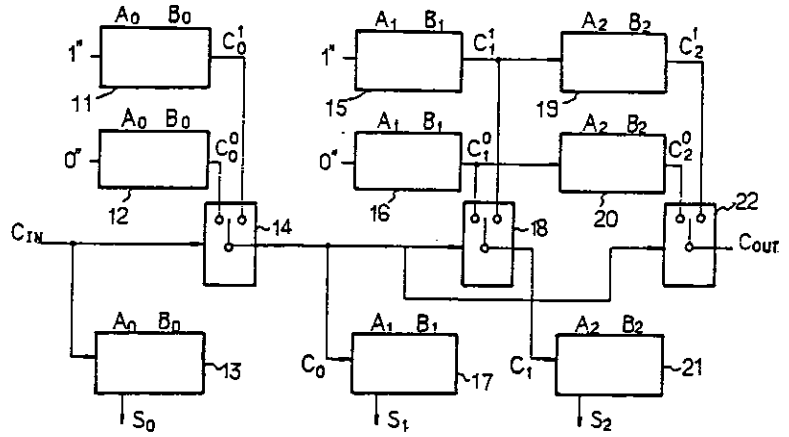
第1図は本発明の基本原理を示す3ビット2入力加算器のブロック図、第2図 a, b, c はそれぞれ桁上げ論理回路、加算回路、選択回路とその論理を示す図、第3図は本発明の一実施例で、27ビット2入力加算器のブロック図である。

11, 12, 15, 16, 19 および 20 …… 桁上げ論理回路、13, 17 および 21 …… 加算回路、14, 18 および 22 …… 選択回路。

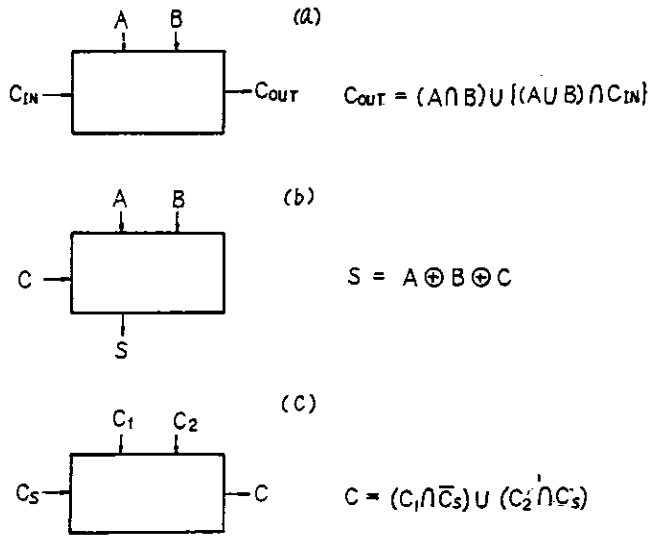
(4)

特公 昭 62-30451

第 1 图



第 2 图



第 3 图

